

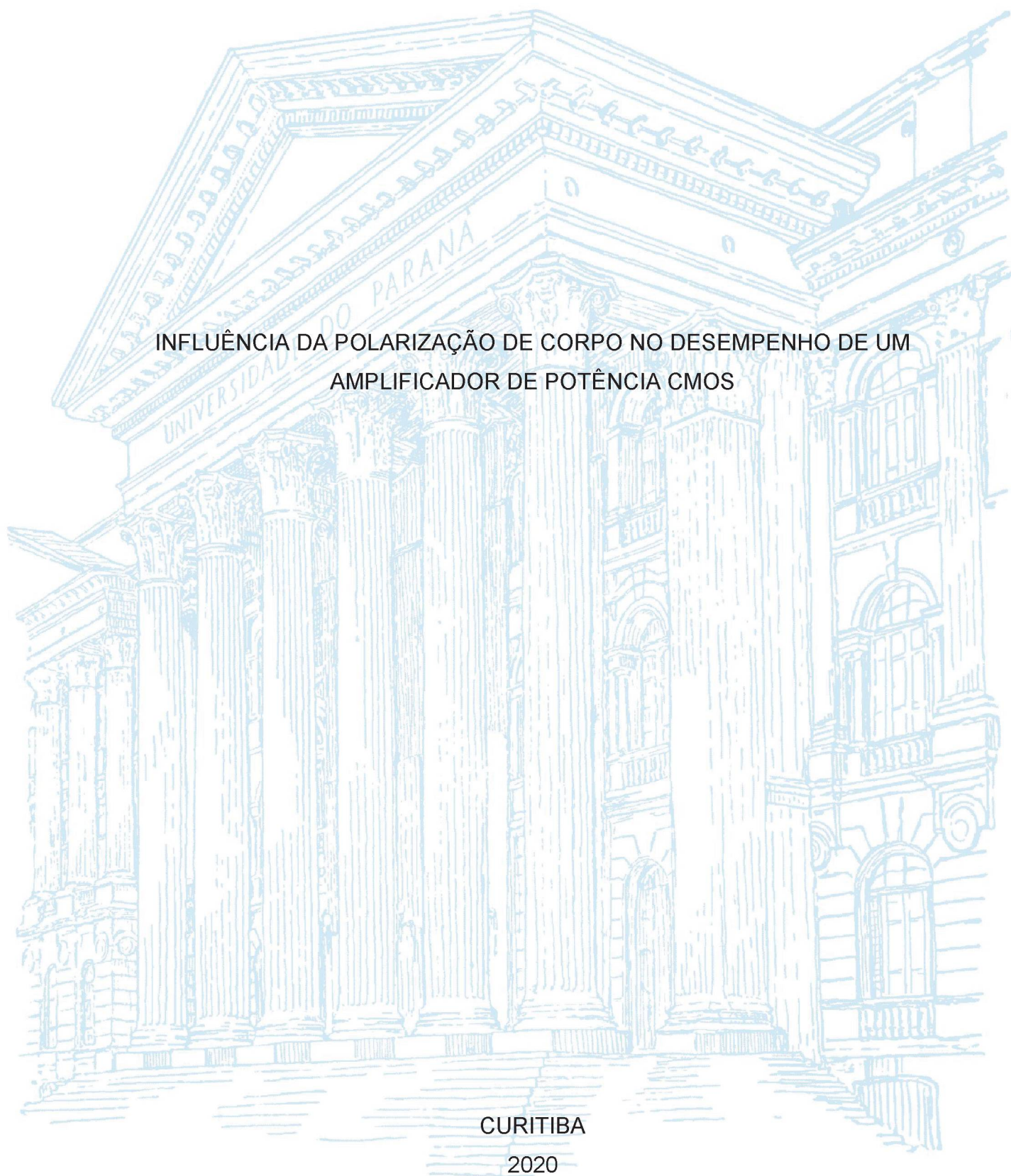
UNIVERSIDADE FEDERAL DO PARANÁ

PAULO ANTUNES DA ROCHA

INFLUÊNCIA DA POLARIZAÇÃO DE CORPO NO DESEMPENHO DE UM  
AMPLIFICADOR DE POTÊNCIA CMOS

CURITIBA

2020



PAULO ANTUNES DA ROCHA

INFLUÊNCIA DA POLARIZAÇÃO DE CORPO NO DESEMPENHO DE UM  
AMPLIFICADOR DE POTÊNCIA CMOS

Dissertação apresentada ao curso de Pós-Graduação em Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná, como requisito parcial para a obtenção do grau de Mestre em Sistemas Eletrônicos.

Orientador: Prof. Dr. André Augusto Mariano

Coorientador: Prof. Dr. Bernardo R. Barros de Almeida Leite

CURITIBA

2020



CATALOGAÇÃO NA FONTE – SIBI/UFPR

---

R672i

Rocha, Paulo Antunes da

Influência da polarização de corpo no desempenho de um amplificador de potência CMOS [recurso eletrônico]/ Paulo Antunes da Rocha , 2020.

Dissertação (Mestrado) - Programa de Pós-Graduação em Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná, como requisito parcial para a obtenção do grau de Mestre em Sistemas Eletrônicos.

Orientador: Prof. Dr. André Augusto Mariano

Coorientador: Prof. Dr. Bernardo R. Barros de Almeida Leite

1. Amplificadores de potência. I. Mariano, André Augusto. II. Leite, Bernardo R. Barros de Almeida. III. Universidade Federal do Paraná. IV. Título.

CDD 621.381

---

Bibliotecária: Vilma Machado CRB9/1563



MINISTÉRIO DA EDUCAÇÃO  
SETOR DE TECNOLOGIA  
UNIVERSIDADE FEDERAL DO PARANÁ  
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO  
PROGRAMA DE PÓS-GRADUAÇÃO ENGENHARIA  
ELÉTRICA - 40001016043P4

## TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **PAULO ANTUNES DA ROCHA** intitulada: **INFLUÊNCIA DA POLARIZAÇÃO DE CORPO NO DESEMPENHO DE UM AMPLIFICADOR DE POTÊNCIA CMOS**, sob orientação do Prof. Dr. ANDRÉ AUGUSTO MARIANO, que após terem inquirido o aluno e realizada a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

CURITIBA, 24 de Abril de 2020.

Assinatura Eletrônica  
24/04/2020 15:18:01.0  
ANDRÉ AUGUSTO MARIANO  
Presidente da Banca Examinadora

Assinatura Eletrônica  
24/04/2020 16:35:44.0  
SALVADOR PINILLOS GIMENEZ  
Avaliador Externo (CENTRO UNIVERSITARIO DA FEI)

Assinatura Eletrônica  
24/04/2020 15:09:26.0  
EDUARDO GONÇALVES DE LIMA  
Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

Assinatura Eletrônica  
24/04/2020 22:11:19.0  
LUIS HENRIQUE ASSUMPÇÃO LOLIS  
Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

## **AGRADECIMENTOS**

Algumas pessoas foram de grande importância e deram contribuições substanciais a esta pesquisa, pois na solidão dos meus pensamentos, não alcançaria o efeito final desejado de poder contribuir de alguma forma com a ciência. Parafraseando Clarice Lispector, não tenho dúvidas de que caminhando sozinho poderia chegar mais rápido, comprometendo a qualidade da realização, mas acompanhado, somando esforços, é certo que fui mais longe.

Por isso, faço registro de toda a minha gratidão ao meu Orientador e Co-orientador dessa pesquisa.

À minha esposa, nas revisões dos textos, nos estímulos e no amor recebido.

Aos meus filhos e pais por entenderem o tempo renunciado no convívio do lar, estando todos em um local especial no meu coração.



## RESUMO

Amplificadores de potência (PA) são amplamente empregados em comunicação sem fio e a demanda por dispositivos portáteis alimentados por baterias tem sido a motivação para pesquisas que visam reduzir o consumo de energia dos circuitos integrados. E essa redução do consumo de energia pode afetar o desempenho dos circuitos integrados analógicos em termos de velocidade, linearidade, ganho e largura de banda. Por este motivo, esta dissertação investiga como melhorar o desempenho de um PA CMOS (*Complementary Metal-Oxide-Semiconductor*) *bulk* (tecnologia convencional de lâmina de silício), utilizando polarização de corpo dos transistores, apresentando os resultados da simulação em 2,4 GHz, explorando a técnica de polarização de corpo, a fim de mensurar a utilização do substrato agindo como uma segunda porta (ou *backgate*) para o MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*). O PA proposto foi um amplificador Cascode, onde o circuito esquemático e as simulações foram projetadas e realizadas no *software Cadence Virtuoso* usando o processo RF CMOS *GlobalFoundries* de 130 nm. Nessas simulações o fator de estabilidade foi maior do que 1 na faixa de 0 a 5 GHz, satisfazendo o requisito para um amplificador incondicionalmente estável. A base teórica da pesquisa foi o efeito de corpo nos transistores CMOS, com o uso de transistores de óxido espesso com poço triplo, sendo comparados os resultados dessa técnica com o padrão normalmente utilizado de fixar o substrato à fonte (ponto mais negativo da fonte nos dispositivos canal n). Foram aplicadas tensões de polarização de corpo entre  $-2\text{ V}$  e  $+2\text{ V}$ , onde as métricas observadas foram o ganho de pequenos sinais ( $S_{21}$ ), o ponto de compressão de  $1\text{ dB}$  ( $OCP_{1dB}$ ) e a Eficiência de Potência Adicionada (PAE). Foram encontrados resultados como o aumento na linearidade do PA de  $0,9\text{ dB}$ , do PAE de  $0,9\%$  e do  $S_{21}$  de  $0,4\text{ dB}$ . Sendo assim, a polarização de corpo em transistores CMOS pode servir como elemento de ajuste, compensando as variações de  $V_{TH}$  induzidas pela temperatura ou pelo efeito de envelhecimento do dispositivo.

Palavras-chave: Amplificador. Potência. Polarização. Corpo. Linearidade.

## ABSTRACT

Power amplifiers (PA) are widely used in wireless communication and the demand for portable devices powered by batteries has been the motivation for research aimed at reducing energy consumption in integrated circuits. And this reduction in energy consumption can affect the performance of analog integrated circuits in terms of speed, linearity, gain and bandwidth. Therefore, this dissertation investigates how to improve the performance of a PA CMOS (Complementary Metal-Oxide-Semiconductor) bulk (conventional silicon blade technology), using body bias in transistors, presenting the results of the simulation in 2,4 GHz, exploring the body bias technique, in order to measure the use of the substrate. acting as a second port (or backgate) for the MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*). The proposed PA was a Cascode amplifier where the schematic circuit and simulations were designed and performed in Cadence Virtuoso software using the 130 nm RF CMOS GlobalFoundries process. In these simulations the stability factor was greater than 1 in the 0 to 5 GHz range, satisfying the requirement for an unconditionally stable amplifier. The theoretical basis of the research was the body effect on the CMOS transistors, using triple-well transistors and comparing the results of this technique with the standard used to fix the substrate to the source (most negative point of the source in channel n devices). Body bias voltages were applied between  $-2\text{ V}$  and  $+2\text{ V}$ , where the observed metrics were the small signal gain ( $S_{21}$ ), the 1dB compression point ( $OCP_{1dB}$ ) and the Power Added Efficiency (PAE). Results were found as an increase in the PA linearity of 0,9 dB, PAE of 0,9 % and  $S_{21}$  of 0,4 dB. Thus, body bias in CMOS transistors can serve as an adjusting element, compensating for variations in  $V_{TH}$  induced by temperature or the aging effect of the device.

Keywords: Amplifier. Power. Bias. Body. Linearity.

## LISTA DE FIGURAS

FIGURA 1 – DIAGRAMA DE BLOCOS COM A METODOLOGIA DA PESQUISA ...	19
FIGURA 2 – ESTRUTURA PARA ENCONTRAR $R_{out}$ NO AMPLIFICADOR FONTE- COMUM DO CASCODE .....	21
FIGURA 3 – VARIÁVEIS DOS QUADRIPOLOS .....	23
FIGURA 4 – PONTO DE COMPRESSÃO .....	28
FIGURA 5 – MELHORIA DA LINEARIDADE E PAE COM A POLARIZAÇÃO DE CORPO .....	30
FIGURA 6 – TÉCNICA DE POLARIZAÇÃO DE CORPO REVERSA.....	31
FIGURA 7 – TÉCNICA DE POLARIZAÇÃO DE CORPO DIRETA.....	32
FIGURA 8 – ESTRUTURAS TÍPICAS DE NMOSFET COM TECNOLOGIA CONVENCIONAL (BULK) CMOS (A) E IMPLEMENTANDO COM TECNOLOGIA DE POÇO TRIPLO (B) .....	33
FIGURA 9 – MÉTODOS DE POLARIZAÇÃO DE CORPO (SUBSTRATO) DO NMOSFET IMPLEMENTADO COM TECNOLOGIA DE POÇO TRIPLO .....	34
FIGURA 10 – CIRCUITO DE COMPENSAÇÃO DE LINEARIDADE.....	35
FIGURA 11 – CIRCUITO FONTE-COMUM COM POÇO TRIPLO.....	37
FIGURA 12 – CIRCUITO CASCODE PARA SIMULAÇÃO .....	41
FIGURA 13 – SIMULAÇÃO DO FATOR $\mu$ .....	43
FIGURA 14 – NÓS DO CASCODE RENOMEADOS PARA MEDIR A TENSÃO DIFERENCIAL .....	44
FIGURA 15 – TENSÕES DIFERENCIAIS DO PA CASCODE CMOS .....	45
FIGURA 16 – VARREDURA PARA AS EXPRESSÕES DAS TENSÕES PICO DOS NÓS DIFERENCIAIS COM LIMITE EM + 4,7 V.....	46
FIGURA 17 – PERFORMANCE DA POTÊNCIA DE RF POUT VS PIN .....	47
FIGURA 18 – CONFIGURAÇÃO DAS VARIÁVEIS PARA A SIMULAÇÃO LOAD- PULL .....	48
FIGURA 19 – DISPOSITIVO DE POÇO TRIPLO.....	59



## LISTA DE GRÁFICOS

GRÁFICO 1 – CURVA CARACTERÍSTICA $ID$ vs $V_{GS}$ .....	38
GRÁFICO 2 – CURVAS CARACTERÍSTICAS $ID$ vs $V_{DS}$ .....	39
GRÁFICO 3 – COMPORTAMENTO DO PA COM VARIAÇÃO DO $V_{dd}$ E BODY 1 E 2 EM ZERO .....	51
GRÁFICO 4 – COMPORTAMENTO DO $V_{TH}$ , $G_m$ E $ID_{S\_SAT}$ COM VARIAÇÃO DO $V_{dd}$ E BODY 1 E 2 EM ZERO .....	52
GRÁFICO 5 – COMPORTAMENTO DO PA COM VARIAÇÃO DO $V_{dd}$ E SUBSTRATOS (BODY) DOS NMOSFET 1 E 2 EM SOURCE .....	53
GRÁFICO 6 – COMPORTAMENTO DO $V_{TH}$ , $G_m$ E $ID_{S\_SAT}$ COM VARIAÇÃO DO $V_{dd}$ E BODY 1 E 2 EM SOURCE .....	54
GRÁFICO 7 – CURVAS DE $S_{21}$ , PAE E $OCP_{LOAD\_PULL}$ COM $V_{dd}$ IGUAL A 3,18 V .....	57
GRÁFICO 8 – CURVAS DE $S_{21}$ , PAE E $OCP_{LOAD\_PULL}$ COM $V_{DD}$ IGUAL A 3,19 V .....	58
GRÁFICO 9 – CURVAS DA POTÊNCIA DE SAÍDA EM RELAÇÃO À POTÊNCIA DE ENTRADA E PONTO DE COMPRESSÃO DE 1 dB, $V_{dd} = 3,17\text{ V}@V_{Body\_T1}$ , $V_{Body\_T2} = 0\text{ V}$ .....	59
GRÁFICO 10 – CURVAS DA POTÊNCIA DE SAÍDA EM RELAÇÃO À POTÊNCIA DE ENTRADA E PONTO DE COMPRESSÃO DE 1 dB e $V_{dd} = 3,18\text{ V}@V_{Body\_T1} = 1,2\text{ V}$ , $V_{Body\_T2} = 0\text{ V}$ .....	60
GRÁFICO 11 – COMPARAÇÃO ENTRE OS $OCP\_LOAD\_PULL$ , VARIANDO $V_{dd}$ E BODY BIAS .....	62

## LISTA DE QUADROS

QUADRO 1 – RESUMO DOS MAIORES VALORES DE <i>OCPLOAD</i> – <i>PULL</i> , <i>PAE</i> E <i>S21</i> .....	64
--	----

## LISTA DE TABELAS

TABELA 1 – CONSUMO DE POTÊNCIA EM UM DISPOSITIVO SEM FIO .....	17
--	----



## LISTA DE ABREVIATURAS OU SIGLAS

AC	<i>Alternating Current</i> – Corrente Alternada
ADE	<i>Analog Design Environment</i> – Ambiente de Projeto Analógico
BC	Base-Comum
BiCMOS	Bipolar-CMOS
CHIPSET	conjunto de circuitos integrados
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> - Semicondutor de Metal Óxido Complementar
DC	<i>Direct Current</i> – Corrente Contínua
DRC	<i>Design Rule Checker</i> – Verificador da Regra de Projeto
EC	Emissor-Comum
FC	Fonte-Comum
FS	<i>Frequency Synthesizer</i> – Sintetizador de Frequência
GICS	<i>Group of Integrated Circuits and Systems</i> – Grupo de Circuitos Integrados e Sistemas
HB	<i>Harmonic Balance</i> – Equilíbrio Harmônico
HP	<i>High Performance</i> – Alto Desempenho
ICP1dB	<i>Input 1 dB Compression Point</i> – Ponto de Compressão de entrada de 1 dB
IoT	<i>Internet of Things</i> – Internet das Coisas
LNA	Low Noise Amplifier – Amplificador de Baixo Ruído
LPWA	<i>Low Power Wide Area</i> – Ampla Área de Baixa Potência
LVS	<i>Layout Versus Schematic</i> – Leiaute Versus Esquemático
M2M	<i>Machine-to-Machine</i> – Máquina a Máquina
MMIC	<i>Monolithic Microwave Integrated Circuits</i> – Circuitos integrados de microondas monolíticos
MOS	<i>Metal Oxide Semiconductor</i> – Semicondutor de Metal Óxido
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> - Transistor de Efeito de Campo Metal-Óxido-Semicondutor
NMOS	<i>N-Channel Metal Oxide Silicon</i> – Metal Oxido de Silício Canal-N
NW	<i>N-Well</i> – Poço N
OCP <sub>1dB</sub>	<i>Output 1 dB Compression Point</i> – Ponto de Compressão de saída de 1 dB

PA	<i>Power Amplifier</i> – Amplificador de Potência
PAE	<i>Power Added Efficiency</i> – Eficiência de Potência Adicionada
PC	Porta-Comum
PMOS	<i>P-Channel Metal Oxide Silicon</i> – Metal Oxido de Silício Canal-P
RF	<i>Radio Frequency</i> – Rádio Frequência
UFPR	Universidade Federal do Paraná
VLSI	<i>Very Large Scale Integration</i> – Integração em Larga Escala

## LISTA DE SÍMBOLOS

$\phi_f$	Potencial de Fermi
$V_{Body}$	Tensão no Corpo do Transistor CMOS
$G_m$	Transcondutância do amplificador
$I_D$	Corrente de Dreno
$I_{DS}$	Corrente que flui através dos terminais de dreno e fonte do transistor MOSFET
$I_{DSSAT}$	Corrente de Saturação entre Dreno e Fonte
$I_G$	Corrente de Gate
$P_{1dB}$	Potência Saída no Ponto de Compressão de 1 dB
$P_{out}$	Potência de Saída
$P_{in}$	Potência de entrada
$P_{sat}$	Potência de Saída Saturada
$S_{21}$	Ganho de Pequenos Sinais no Parâmetro S
$V_{dd}$	Tensão de alimentação do amplificador de potência
$V_{DS}$	Tensão entre os terminais de dreno e fonte do transistor MOSFET
$V_{TH}$	Threshold Voltage – Tensão de Limiar
$g_m$	Transcondutância do transistor
$\mu$	Fator de Estabilidade
dgnfet	<i>Thick Oxide N-type FET Device</i> – Dispositivo de Óxido Espesso do Tipo N
dgnfettw	<i>Thin oxide N-Type device in triple well</i> – Dispositivo de Óxido Espesso do Tipo N em Poço Triplo
L	Comprimento do canal do transistor MOSFET
W	Largura do canal do transistor MOSFET
ZM	Valor da Impedância da Rede de Casamento
$\eta$	Eficiência



## SUMÁRIO

<b>1 INTRODUÇÃO .....</b>	<b>16</b>
1.1 CONTEXTO E JUSTIFICATIVA .....	16
1.2 OBJETIVOS .....	18
1.2.1 Objetivo geral .....	18
1.2.2 Objetivos específicos.....	18
1.3 ESTRUTURA DA DISSERTAÇÃO .....	19
<b>2 FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>21</b>
2.1 AMPLIFICADOR CASCODE .....	21
2.2 EFEITO DE CORPO .....	22
2.3 PARÂMETRO DE ESPALHAMENTO (S) DE QUADRIPOLO .....	23
2.4 GANHO DE POTÊNCIA.....	25
2.5 ESTABILIDADE.....	25
2.6 EFICIÊNCIA .....	26
2.7 LINEARIDADE .....	27
2.8 TENSÃO DE RUPTURA .....	28
<b>3 REVISÃO DE LITERATURA .....</b>	<b>30</b>
3.1 TÉCNICA DE POLARIZAÇÃO DE CORPO .....	30
<b>4 MATERIAIS E MÉTODOS .....</b>	<b>36</b>
4.1 INSTRUMENTO UTILIZADO E UNIVERSO DA PESQUISA .....	36
4.2 TESTES INICIAIS .....	36
4.3 PROCEDIMENTOS DE COLETA DE DADOS .....	39
4.4 CIRCUITO AMPLIFICADOR CASCODE.....	40
4.5 SIMULAÇÃO DO FATOR DE ESTABILIDADE .....	43
4.6 MÉTODO AUTOMATIZADO PARA DEFINIR A TENSÃO DE BREAKDOWN....	44
4.7 SIMULAÇÃO LOAD-PULL .....	47
<b>5 APRESENTAÇÃO DOS RESULTADOS .....</b>	<b>50</b>
5.1 AMPLIFICADOR SEM POLARIZAÇÃO DE CORPO .....	51
5.2 AMPLIFICADOR COM POLARIZAÇÃO DE CORPO.....	55
5.2.1 Polarização de $T_1$ e $T_2$ com tensões negativas .....	55
5.2.2 Refinamento utilizando somente a polarização de corpo positiva sobre $T_1$ .....	56
5.3 SIMULAÇÕES DO PONTO DE COMPRESSÃO .....	59
<b>6 CONCLUSÕES .....</b>	<b>65</b>

REFERÊNCIAS.....	67
APÊNDICE 1 – SIMULAÇÃO EM <i>HARMONIC BALANCE</i> (HB) .....	69
APÊNDICE 2 – EXPRESSÕES PARA A MÁXIMA E MÍNIMA TENSÕES INSTANTÂNEAS .....	70
APÊNDICE 3 – SIMULAÇÃO <i>LOAD-PULL</i> .....	73

## 1 INTRODUÇÃO

### 1.1 CONTEXTO E JUSTIFICATIVA

O mercado de comunicações sem fio experimentou um crescimento a partir dos anos 80 e a tecnologia sem fio tornou-se parte integrante do cotidiano das pessoas, surgindo tecnologias de comunicação de nova geração com oferta de serviços e alta taxa de dados (Wang e Sodini, 2006).

Baseado na previsão de tráfego de dados móveis globais do relatório Cisco (2017), quase meio bilhão (429 milhões) de dispositivos móveis e conexões foram adicionados em 2016. Os *smartphones* representaram a maior parte desse crescimento, seguidos pelos módulos M2M que estariam sendo utilizados para o monitoramento de informações em tempo real. Os dispositivos móveis e conexões globais em 2016 cresceram 8,0 bilhões, acima dos 7,6 bilhões esperados para 2015.

Ainda, em conformidade com o relatório Cisco (2017), estão em avanço as comunicações móveis e as conexões de grande alcance e de baixa potência (LPWA), frequentemente utilizadas em IoT (do inglês *Internet of Things*, ou Internet das coisas). Esse tipo de conectividade de rede sem fio destina-se especificamente a módulos M2M (do inglês *Machine to Machine*, ou máquina-para-máquina), que exigem baixa largura de banda, ampla cobertura geográfica e baixo consumo de energia. Essas comunicações móveis e conexões de grande alcance de rede sem fio têm viabilizado novos casos de uso M2M para operadoras de redes móveis, tendo em vista que estas conectividades complementam as redes celulares na solução de problemas de cobertura. A participação das conexões da LPWA (todos M2M) crescerá de menos de 1% em 2016 para 8,9% até 2021, ou seja, de 58 milhões em 2016 para mais de 1 bilhão em 2021.

Sintonizado a este entendimento e objetivando encontrar recursos para melhorar o desempenho do amplificador, é importante considerar a observação de Razavi (2005) de que a não linearidade do PA é crítica e pode produzir, para modulação, os efeitos de alta potência do canal adjacente como resultado do crescimento espectral, bem como compressão da amplitude.

Embora um progresso tenha sido feito para tornar a tecnologia sem fio onipresente, melhorar o desempenho de amplificadores de potência é um dos problemas desafiadores que permanecem no critério de desempenho do sistema e

possui particular importância para os dispositivos móveis. De acordo com Li et al. (2005), à medida que a tecnologia CMOS diminui, a tensão de alimentação e o consumo de energia digital também diminui. No entanto, as limitações regulamentares da faixa dinâmica, de projeto da fonte de força e do consumo de energia não permitiram que as interfaces de radiofrequência (RF) (do inglês *front-ends*) e demais seções analógicas acompanhassem o mesmo avanço. De fato, a seção RF de um transceptor sem fio consome mais energia do que a parte digital, o que pode ser observado na TABELA 1.

TABELA 1 – CONSUMO DE POTÊNCIA EM UM DISPOSITIVO SEM FIO

DISPOSITIVO	POTÊNCIA (mW)
Amplificador de Potência	246,0
<i>Misturador</i>	30,3
Sintetizador de Frequência	67,5
Amplificador de Baixo Ruído	20,0
Amplificador Banda base	5,0
Conversor Analógico para Digital	5,9
Conversor Digital para Analógico	2,4
Filtro	5,0

FONTE: Adaptado de Li et al. (2005).

Neste contexto, existe um compromisso entre eficiência espectral e linearidade. Sendo assim, aumentar a linearidade sem mexer no consumo, seria o ideal. No PA, o componente ativo que faz o ganho de potência e outras funções é o transistor MOSFET e ao aumentar a eficiência nesse dispositivo, espera-se um aumento da linearidade do PA (Ruiz; Pérez, 2014).

E, mediante o estudo preliminar realizado, esta dissertação pretende contribuir para a área de projetos de circuitos integrados de radiofrequência (RF), bem como a capacitação de recursos humanos para a indústria de microeletrônica no Brasil, disseminando o conhecimento adquirido no Grupo de Concepção de Circuitos e Sistemas Integrados (acrônimo em inglês, GICS) da UFPR. Para isso, foi



elaborado um amplificador de potência, utilizando a topologia de um Cascode clássico, na tecnologia de 130 nanômetros – BiCMOS8HP, no software Cadence Virtuoso SpectreRF (GLOBALFOUNDRIES, 2016), disponível na Universidade Federal do Paraná (UFPR), visando aplicações em 2,4 GHz, mantendo o seu funcionamento em baixa tensão e objetivando melhorar o desempenho do amplificador (Verma et al., 2014), onde foram realizadas simulações e análises das métricas típicas de ganho em parâmetro de espalhamento, ponto de compressão de 1 dB de potência de saída, fator de estabilidade e *PAE* de um amplificador de potência, tendo a linearidade do amplificador de potência como ponto principal.

## 1.2 OBJETIVOS

### 1.2.1 Objetivo geral

E o objetivo geral deste trabalho consiste em projetar um amplificador de potência em radiofrequência, utilizando a técnica de polarização de corpo para melhoraria do seu desempenho.

### 1.2.2 Objetivos específicos

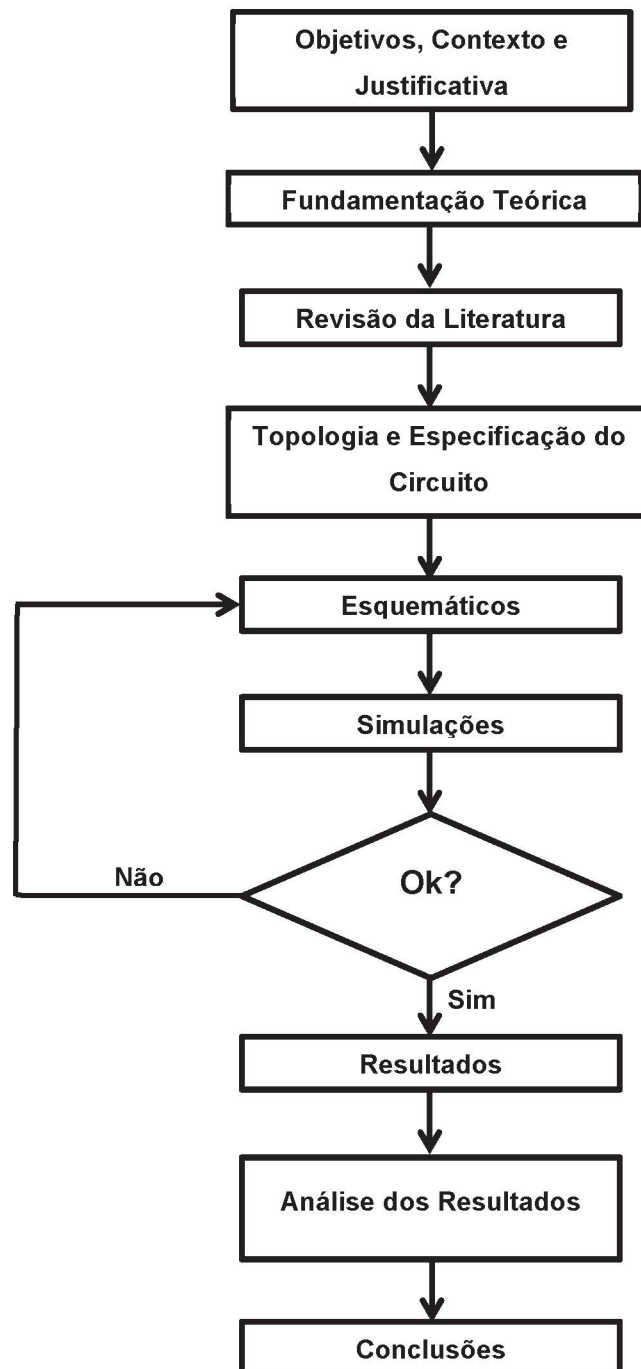
Para atingir o objetivo geral, os seguintes objetivos específicos foram propostos:

- Avaliar as arquiteturas disponíveis em amplificadores de potência que utilizam a técnica de polarização de corpo;
- Definir a topologia do amplificador a ser projetado;
- Implementar um amplificador de potência em RF, operando a 2,4 GHz e usando a tecnologia em 130 nanômetros, tendo a linearidade do sistema como requisitos chave;
- Realizar simulações e analisar as métricas típicas de desempenho de um amplificador de potência.

### 1.3 ESTRUTURA DA DISSERTAÇÃO

Neste trabalho, foram utilizadas as metodologias para a coleta bibliográfica e a observação sistemática, seguindo o diagrama de blocos da Figura 1.

FIGURA 1 – DIAGRAMA DE BLOCOS COM A METODOLOGIA DA PESQUISA



FONTE: O autor (2020).

Sendo assim, esta pesquisa foi organizada em seis capítulos, onde o capítulo 1 insere o contexto, o problema, as justificativas e os objetivos. O capítulo 2 apresenta uma revisão de textos de autores clássicos que norteou esta pesquisa e o capítulo 3 mostra um levantamento das principais contribuições encontradas sobre a polarização de corpo, servindo de sustentação para a análise e interpretação dos dados. No capítulo 4 foi apresentada uma descrição do objeto de estudo, os dados que foram coletados e analisados e os recursos utilizados neste trabalho.

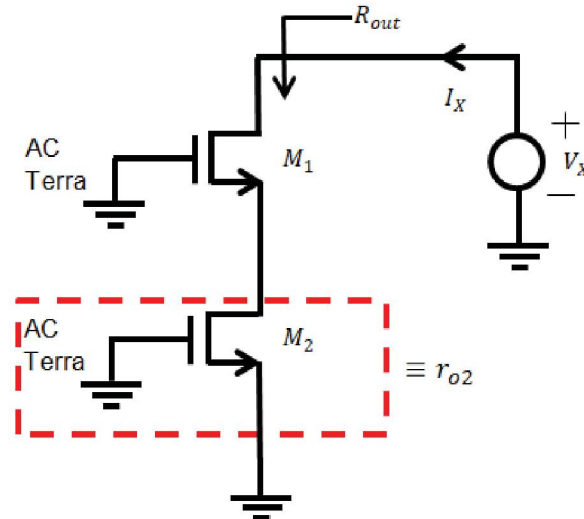
Os resultados e a análise das simulações sobre a técnica proposta de polarização de corpo do transistor, a comparação e interpretação desses resultados em relação ao objetivo que direcionou todo o estudo foram descritos no capítulo 5 e no capítulo 6 as conclusões do autor.

## 2 FUNDAMENTAÇÃO TEÓRICA

### 2.1 AMPLIFICADOR CASCODE

De acordo com Sedra e Smith (2000, p.489), a configuração *Cascode* “consiste em um estágio em Emissor-Comum (EC) seguido por um estágio Base-Comum (BC)”, conforme pode ser visto na Figura 2. Em Razavi (2011) este conceito foi utilizado para amplificadores na configuração MOSFET, ainda sendo acrescentado que na topologia *Cascode* o circuito pode operar como uma fonte de corrente ou como um amplificador.

FIGURA 2 – ESTRUTURA PARA ENCONTRAR  $R_{out}$  NO AMPLIFICADOR FONTE-COMUM DO CASCODE



FONTE: Adaptado de Razavi (2008).

Sendo possível obter o  $R_{out}$  (impedância vista na saída do circuito) e o  $G_m$  (transcondutância do circuito). O ganho de tensão desse estágio com a aplicação de um  $V_x$  (fonte de tensão) é apresentado na equação 1:

$$A_v = -g_{m2}[(1+g_{m1}r_{o1})r_{o2} + r_{o1}], \text{ sendo } g_{m2} = G_m, \quad (1)$$

onde  $A_v$  é o ganho de tensão do amplificador *Cascode*;  $g_{m1}$  é a transcondutância de  $M_1$ ;  $g_{m2}$  é a transcondutância de  $M_2$ ;  $r_{o1}$  é a resistência de saída de  $M_1$  na saturação; e  $r_{o2}$  é a resistência de saída de  $M_2$  na saturação.

## 2.2 EFEITO DE CORPO

Segundo Razavi (2008), no efeito do corpo dos MOSFET, é assumido que tanto a fonte quanto o substrato estão ligados ao terra. No entanto, essa condição não precisa ser mantida em todos os circuitos. Por exemplo, se o terminal da fonte subir para uma tensão positiva enquanto o substrato estiver em zero, a junção fonte-substrato permanecerá com polarização reversa e o dispositivo ainda funcionará corretamente. E, de acordo com Sedra e Smith (2000), é usual conectar o substrato no ponto mais negativo em um Transistor de Efeito de Campo Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field Effect Transistor*, MOSFET) canal n (NMOSFET) ou canal p (PMOSFET), para garantir a polarização reversa na junção substrato-canal. Entretanto, sendo aplicada uma polarização direta no corpo do transistor, haverá uma diminuição da densidade de cargas móveis no canal, reduzindo sua profundidade e, por sua vez, resultando numa diminuição na tensão de limiar. Ainda é comentado por Razavi (2008) que um fenômeno interessante ocorre quando a diferença de potencial Fonte-Substrato se afasta de zero: a tensão de limiar (do inglês, *Threshold Voltage* -  $V_{TH}$ ) do dispositivo muda. Em particular, também pode ser raciocinado que à medida que a fonte se torna mais positiva em relação ao substrato, o  $V_{TH}$  aumenta. Esse fenômeno responde de acordo com a equação 2 (Sedra e Smith, 2000)

$$V_{TH} = V_{T0} + \gamma [\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}], \quad (2)$$

sendo  $V_{T0}$  a tensão de limiar entre a fonte e o corpo ( $V_{SB}$ ) igual a zero;  $\phi_f$  é o potencial de Fermi e  $\gamma$  é conhecido como parâmetro de efeito de corpo. Baseado na equação 2 é possível depreender que uma tensão positiva de corpo ( $V_{SB} < 0$ ) poderá provocar uma redução em  $V_{TH}$ , pela diminuição da largura da região de depleção e por um aumento da carga móvel na camada de inversão. Por isso, a técnica de polarização do corpo pode resultar em uma maior eficiência de energia, quando o  $V_{TH}$  diminuir, bem como pode contribuir para uma maior linearidade do amplificador de potência, de acordo com Razavi (2008), tendo em vista que influencia a corrente de dreno na saturação. Ainda, conforme a equação 3 e 4,



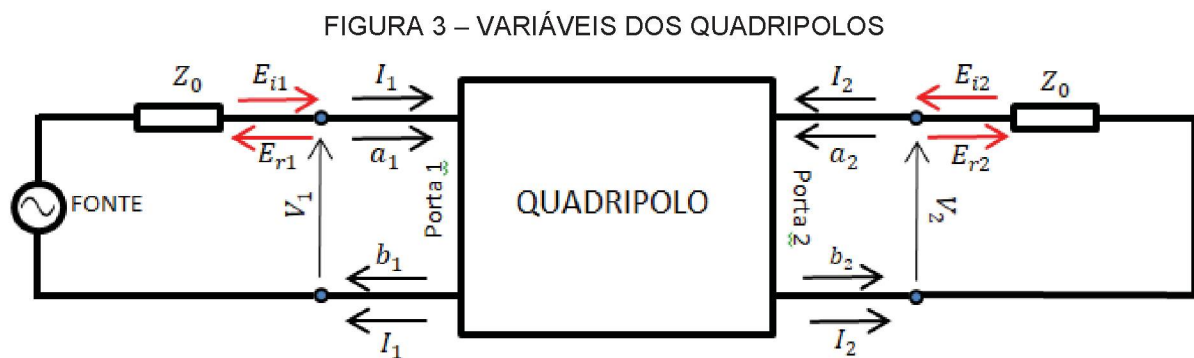
$$I_D = \frac{1}{2} k \frac{W}{L} (V_{GS} - V_{TH})^2 - (1 + \lambda V_{DS}) \quad (3)$$

$$I_{DSAT} = \frac{1}{2} k \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (4)$$

em que  $I_D$  é a corrente de dreno,  $k$  é o fator de ganho do transistor MOSFET,  $W$  e  $L$  a largura e o comprimento do canal, respectivamente,  $V_{GS}$  a tensão Porta-Fonte,  $V_{DS}$  a tensão Dreno-Fonte e a constante positiva  $\lambda$  é um parâmetro do MOSFET. Na região de saturação, o transistor se comporta muito como uma fonte de corrente controlada por tensão, prestando-se ao modelo mostrado na equação 3, onde o  $I_D$  depende do  $V_{DS}$ . Para  $V_{DS} < V_{GS} - V_{TH}$  o modelo deve refletir a tensão na região triodo, mas ainda pode incorporar uma fonte de corrente controlada por tensão. Porém, se  $V_{DS} \ll 2(V_{GS} - V_{TH})$  o transistor pode ser visto como um resistor controlado por tensão, conforme a equação 4. Em todos esses casos, o terminal de porta permanece sendo um circuito aberto para representar a corrente de porta igual à zero.

### 2.3 PARÂMETRO DE ESPALHAMENTO (S) DE QUADRIPOLO

O quadripolo é um circuito qualquer com dois pares de terminais, onde a corrente ( $I_1$  ou  $I_2$ ) que entra por um terminal é igual à corrente que sai pelo outro, na representação de pequenos sinais lineares e não lineares, conforme a Figura 3.



FONTE: Adaptado de LEE (2004).



Os coeficientes diretos são determinados ao medir a amplitude e a fase dos sinais incidentes, refletido e transmitido, quando se aplica uma fonte de corrente independente e uma impedância arbitraria ( $Z_0$ ) na entrada e na saída, com impedância característica igual ao do quadripolo. Nesse caso,  $S_{11}$  é equivalente ao coeficiente complexo de reflexão de entrada e  $S_{21}$  é o coeficiente complexo de ganho de potência direto.

Para medir os parâmetros reversos, deve-se posicionar a fonte independente e  $Z_0$  na porta de saída e inserir na porta de entrada uma carga casada com o quadripolo. O parâmetro  $S_{22}$  é equivalente ao coeficiente complexo de reflexão da saída ou impedância da saída, enquanto o  $S_{12}$  é o coeficiente complexo de ganho reverso. O termo " $a_i$ " representa as ondas incidentes e o termo " $b_i$ " representa as ondas refletidas, onde o índice  $i$  igual a 1 está relacionado a porta 1 e o índice  $i$  igual a 2, a porta 2 e esses termos são definidos pelas tensões ( $V_1$  e  $V_2$ ), pelas correntes ( $I_1$  e  $I_2$ ), em termos das tensões incidentes ( $E_{i1}$  e  $E_{i2}$ ), refletidas ( $E_{r1}$  e  $E_{r2}$ ) das portas 1 e 2. As relações dos coeficientes, para a definição dos parâmetros de espalhamento, podem ser determinadas pelas equações de 5 a 12 (LEE, 2004)

$$S_{11} = \frac{b_1}{a_1} \quad (5)$$

$$S_{21} = \frac{b_2}{a_1} \quad (6)$$

$$S_{22} = \frac{b_2}{a_2} \quad (7)$$

$$S_{12} = \frac{b_1}{a_2} \quad (8)$$

em que

$$a_1 = E_{i1}/2\sqrt{Z_0} \quad (9)$$

$$a_2 = E_{i2}/2\sqrt{Z_0} \quad (10)$$

$$b_1 = E_{r1}/2\sqrt{Z_0} \quad (11)$$

$$b_2 = E_{r2}/2\sqrt{Z_0} \quad (12)$$

## 2.4 GANHO DE POTÊNCIA

A capacidade de um circuito amplificador de aumentar o sinal de entrada seja em tensão, corrente ou potência, em eletrônica é conhecido como ganho. E, nesse sentido, pode-se afirmar que:

Um amplificador aumenta a potência do sinal e isso é uma característica importante que o distingue de um transformador elevador de tensão, por exemplo. No caso de um transformador, embora a tensão entregue à carga possa ser maior do que a tensão de alimentação no lado de entrada (primário), a potência entregue a carga é menor ou no máximo igual a potência fornecida pela fonte de sinal (Sedra e Smith, 2000, p. 11).

Tipicamente o ganho de potência é medido em decibéis ( $dB$ ), conforme a equação 13,

$$G_{dB} = 10 \log_{10}(P_{out}/P_{in}), \quad (13)$$

onde  $G_{dB}$  é o ganho de potência;  $P_{out}$  é a potência do sinal de saída do amplificador; e  $P_{in}$  potência do sinal de entrada do amplificador.

## 2.5 ESTABILIDADE

Em um projeto de amplificadores de potência a análise de estabilidade é um processo importante para evitar que o circuito se torne um oscilador, causando problemas de funcionamento no equipamento, conforme Ruiz e Pérez (2014).

Segundo Razavi (2008) o processo de oscilação pode ocorrer em projetos mal elaborados, quando o sinal é amplificado e realimentado negativamente no circuito, fazendo com que a amplitude do sinal se torne cada vez maior, até que atinja um valor limitado pela não linearidade do transistor (compressão).

A estabilidade do circuito é dependente das impedâncias de fonte e carga apresentadas aos seus terminais, onde normalmente estas impedâncias variam, principalmente em dispositivos móveis. Por este motivo é importante que o circuito amplificador seja estável em qualquer impedância passiva que se apresente nos seus terminais. Por isso, Bianco et al. (2001) consideram que um parâmetro prático para determinar a estabilidade incondicional de um dispositivo é o cálculo do fator de estabilidade  $\mu$ . Segundo, Edwards e Sinsky (1992), utilizando um conjunto de parâmetros S (espalhamento) para o dispositivo, na frequência de resposta, resolve-

se o modelo matemático para encontrar o fator  $\mu$ , de acordo com as equações 14 e 15

$$\mu = \frac{1 - |S_{11}|^2}{|S_{11}^* \Delta S_{22}| + |S_{12} S_{21}|} \quad (14)$$

$$\Delta = S_{11} S_{22} - S_{12} S_{21} \quad (15)$$

em que  $S_{11}^*$  é o conjugado complexo da entrada casada da porta 1 e  $\Delta$  é um vetor cujos membros são os parâmetros S de um quadripolo.

## 2.6 EFICIÊNCIA

Os amplificadores de potência consomem grandes quantidades de energia da tensão de alimentação, podendo fazer com que a sua eficiência seja crítica na maioria das aplicações como transceptor.

Os parâmetros de eficiência do PA quantificam a energia DC consumida que é transformada em energia de RF e para Ruiz e Pérez (2014) há duas métricas principais comumente empregadas para avaliar a eficiência dos PA de RF: a eficiência de dreno ( $\eta_d$ ) e a eficiência de potência adicionada (PAE).

A eficiência de dreno é um modo de avaliar a quantidade de potência consumida pelo PA, sendo definida por Ruiz e Pérez (2014), na equação 16, como

$$\eta_d = 100 \times \frac{P_{out}}{P_{DC}} \quad (16)$$

sendo  $P_{out}$  a potência de RF dissipada na carga e  $P_{DC}$  a potência total DC fornecida pela fonte de energia.

É importante observar que a eficiência de dreno leva em consideração apenas a potência na carga e a DC, desprezando a quantidade de potência do sinal de RF aplicado na entrada do amplificador. Para ter uma avaliação mais completa da eficiência deve-se considerar a potência do sinal de entrada, especialmente em amplificadores de potência. Por isso, a importância do método definido como a eficiência de potência adicionada (do acrônimo *PAE*, *Power Added Efficiency*) que

leva em consideração a potência de RF adicionada ao dispositivo na entrada, para concluir a avaliação da eficiência, onde a sua equação é dada por

$$PAE = 100 \times \frac{P_{out} - P_{in}}{P_{DC}}, \quad (17)$$

onde  $P_{out}$  é a potência de RF dissipada na carga;  $P_{DC}$  é a potência total DC fornecida pela fonte de energia; e  $P_{in}$  é a potência de RF na entrada do PA.

Além disso, fazendo o arranjo matemático na equação 17, Ruiz e Pérez (2014) demonstraram que o  $PAE$  leva em consideração o efeito do ganho de potência ( $G$ ), de acordo com a equação 18, ou seja, um PA de baixo ganho não tem, por definição, uma boa eficiência, podendo exigir outros estágios de amplificação para que o amplificador de potência atue com níveis de energia mais altos.

$$PAE = 100 \times \frac{P_{out} - (P_{out}/G)}{P_{DC}} = 100 \times \frac{P_{out}}{P_{DC}} \left(1 - \frac{1}{G}\right) \quad (18)$$

## 2.7 LINEARIDADE

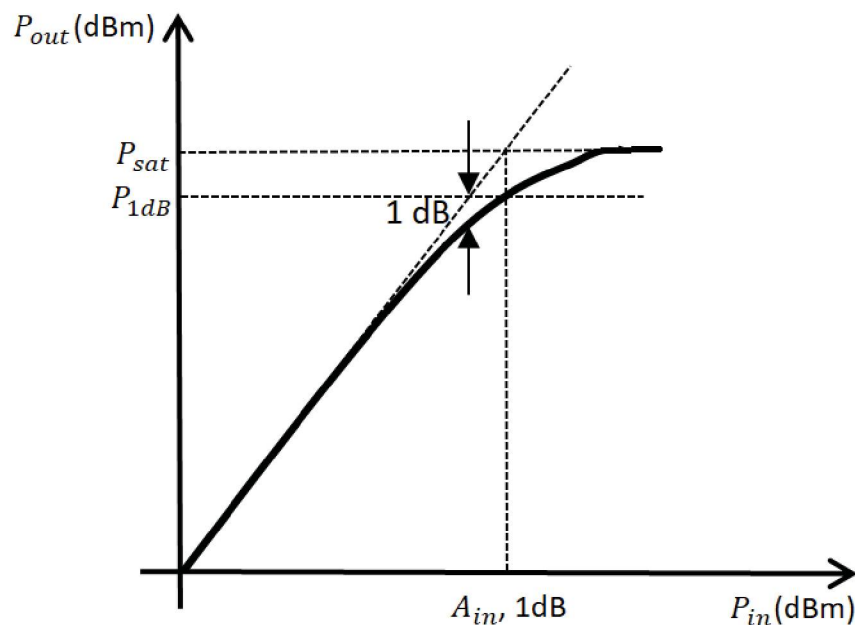
O PA é um circuito não linear, porque o sinal de saída não é uma cópia amplificada do sinal de entrada. Esse é o caso de sistemas de comunicação sem fio, pois empregam amplificadores de potência de RF, que são dispositivos intrinsecamente não lineares. Conforme Ruiz e Pérez (2014), a não linearidade do PA gera produtos de intermodulação que interferem no sinal a ser transmitido e em suas frequências vizinhas. A linearidade é importante principalmente quando existe a modulação em amplitude e em fase. Surge como mitigador o ponto de compressão que passa a ser utilizado como uma métrica, para determinar o ponto de operação que ainda se pode considerar como uma operação linear do circuito.

Em RF o efeito da não linearidade é quantificado pelo ponto de compressão, definido como o nível do sinal de entrada que faz com que o pequeno ganho de potência do sinal caia 1  $dB$  (Razavi, 2011), o que aponta para a máxima potência que se pode atingir, referente a entrada e a saída, sem causar distorções significativas nos sinais. Ainda da Figura 4, Ruiz e Pérez (2014) definem que a curva representada pela expressão  $P_{in\_dBm} - P_{out\_dBm}$ , juntamente com os parâmetros



$P_{1dB}$  e  $P_{sat}$  é uma maneira clássica de descrever o desempenho de uma PA em termos de linearidade. O  $P_{1dB}$  é geralmente dado como um valor de potência de saída e refere-se ao nível de potência de saída no qual o ganho de potência cai 1 dB do valor linear. Dessa forma, o valor de  $P_{1dB}$  representa um limite prático entre a região linear e a não linear de um PA.

FIGURA 4 – PONTO DE COMPRESSÃO



FONTE: Adaptado de Ruiz e Pérez (2014).

Como um compromisso entre linearidade e eficiência, os PA geralmente são configurados como estágios de "classe AB", em que cada transistor permanece ligado por mais de meio ciclo.

## 2.8 TENSÃO DE RUPTURA

Com o avanço da tecnologia dos circuitos integrados na tecnologia VLSI (Integração em Larga Escala) e à medida que a espessura do óxido de porta do transistor MOSFET é reduzida, a distância física entre fonte e dreno também diminui. Segundo Ruiz e Pérez (2014), caso não haja redução da tensão aplicada na porta em uma mesma escala, os campos elétricos na camada de óxido aumentam. Esses problemas são causados por diferentes fenômenos que ocorrem na camada de



óxido e no canal dos transistores MOSFET. Os mais críticos para os PA são a quebra do óxido de porta (*gate oxide breakdown*) e a degradação de portador de alta energia (*hot carrier degradation*).

Ruiz e Pérez (2014) comentam que a quebra do óxido é a ruptura da rigidez dielétrica que, inicialmente, ocorre com um processo de desgaste, acumulando danos na estrutura do transistor e, por fim, a ruptura, ou seja, os danos se tornariam grandes o bastante permitindo a formação de um ou mais caminhos de correntes de fuga (armadilhas de cargas negativas) que provocariam um curto-circuito entre a porta e o substrato.

Ainda, Ruiz e Pérez (2014) definem a degradação do desempenho devido ao estresse do portador de alta energia como um fenômeno em dispositivos eletrônicos de estado sólido, onde um elétron ou uma lacuna obtém energia cinética suficiente para superar uma barreira potencial necessária para quebrar um estado de mobilidade da carga e, conseqüentemente, o aumento da tensão de limiar e degradação da transcondutância ( $g_m$ ) do transistor.

As tensões limites, conforme o manual de projetos da tecnologia 130 nm: para o transistor FET de RF, canal n (nfet\_rf), transistor de poço triplo FET de RF, canal n (nfettw\_rf), as tensões de  $v_{gs}$ ,  $v_{ds}$ ,  $v_{gd}$ , que são a soma das parcelas DC e AC do sinal, não devem ser superiores a 1,6 V, bem como as tensões  $v_{sb}$ ,  $v_{db}$ , não devem ser superiores a 2,6 V. Para o transistor FET de RF, canal n de óxido espesso (dgnfet\_rf), transistor de poço triplo FET de RF, canal n de óxido espesso (dgnfettw\_rf), as respectivas tensões de  $v_{gs}$ ,  $v_{ds}$ ,  $v_{gd}$ , não devem ser superiores a 2,7 V e as tensões de  $v_{sb}$ ,  $v_{db}$  não devem ser superiores a 4,7 V (GLOBALFOUNDRIES, 2016). Portanto, uma margem de tensão suficiente deve ser reservada entre as tensões de operação do transistor e suas tensões de ruptura.

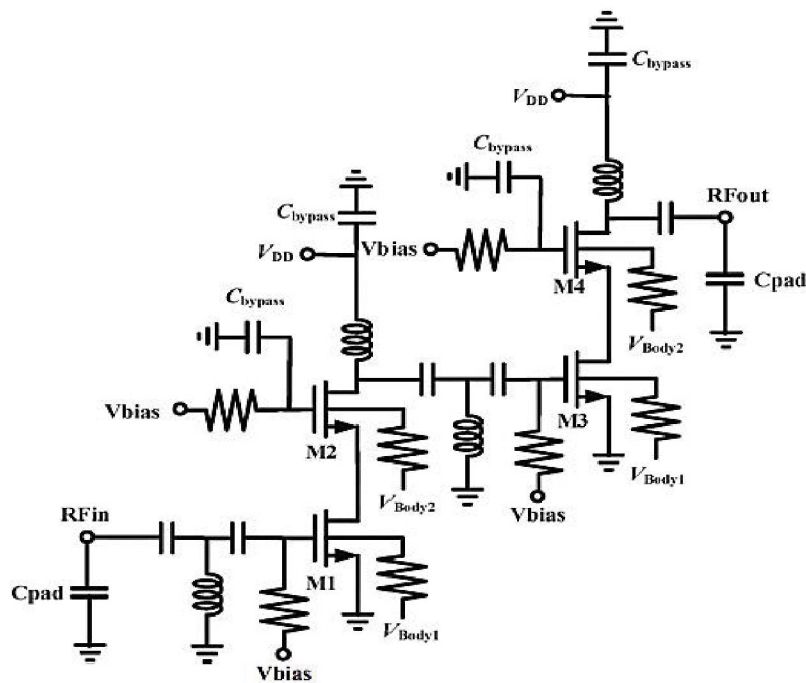
### 3 REVISÃO DE LITERATURA

#### 3.1 TÉCNICA DE POLARIZAÇÃO DE CORPO

A polarização do corpo pode ser usada para ajustar, de modo contínuo, o  $V_{TH}$  de um transistor CMOS. Como a diferença de tensão entre a tensão da fonte e a tensão do corpo afeta o  $V_{TH}$ , o corpo pode ser visto como uma segunda porta do MOSFET com tecnologia de fabricação convencional (*Bulk*).

No artigo científico de Kuo e Wang (2012) foi utilizado um amplificador de potência com a apresentação dos parâmetros S medidos do amplificador em diferentes condições de polarização de corpo.

FIGURA 5 – MELHORIA DA LINEARIDADE E PAE COM A POLARIZAÇÃO DE CORPO



FONTE: Kuo e Wang (2012).

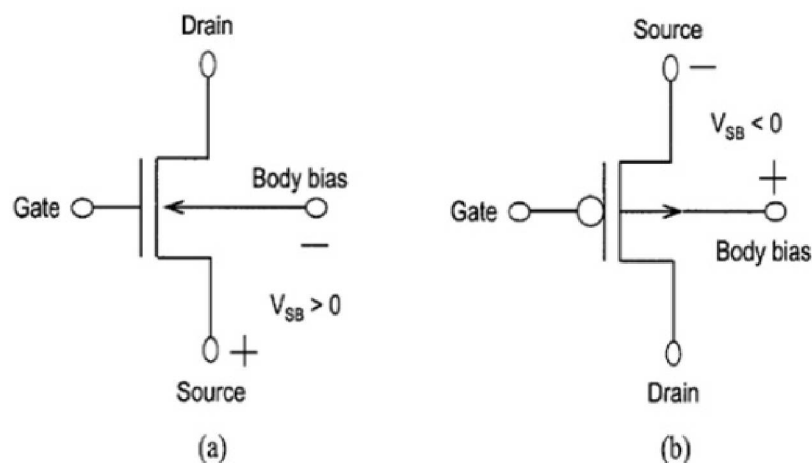
O PA da Figura 5 é um circuito *Cascode* de dois estágios, operando em 24 GHz, com transistores CMOS de poço N (NW) com redes de casamento de impedância de entrada, saída e entre estágios e considerou como vantajosa a técnica de polarização reversa de corpo. Nesse trabalho quando o dreno e o poço N ( $V_{DNW}$ ) foram polarizados em 3,6 V e o  $V_{Body}$  foi polarizado em 0 V, o ganho encontrado foi de 16 dB em 24 GHz. Em outra simulação, mantendo a tensão de

$V_{\text{DNW}}$  em 3,6 V e o  $V_{\text{Body}}$  polarizado com  $-3,6$  V, houve uma melhora do ganho de potência com o valor encontrado de 19 dB em 24 GHz. Esta simulação com a polarização de corpo provocou uma melhora não apenas no ganho, mas também no  $\text{OCP}_{1\text{dB}}$  e no  $\text{PAE}$ . Este foi um exemplo que devido à técnica de polarização do corpo, o *Monolithic Microwave Integrated Circuits* (MMIC) alcançou uma melhoria de 3,2 dB na linearidade e de 19,7 % no  $\text{PAE}$ .

Verma et al. (2014) levou em consideração que a indústria vem substituindo o óxido ( $\text{SiO}_2$ ) convencional utilizado no *gate* (porta) dos transistores, por óxidos de elevado valor dielétrico. No entanto esses óxidos, quando usados em CMOS, geram um aumento no  $V_{\text{TH}}$ , sendo que o inverso é desejável, ou seja, que um dispositivo tenha um nível de  $V_{\text{TH}}$  baixo, de modo que a tensão de alimentação possa ser diminuída e a dissipação de energia e o atraso de propagação de um circuito CMOS possam ser reduzidos simultaneamente. Como proposta, Verma et al. (2014) discutiram como o  $V_{\text{TH}}$  poderia ser aumentado ou diminuído dependendo da diferença de tensão entre a fonte e o terminal do corpo com polarizações de corpo que poderiam ser dos seguintes tipos: polarização reversa; polarização direta; e polarização bidirecional.

Na polarização de corpo reversa, o  $V_{\text{TH}}$  foi aumentado aplicando uma tensão negativa através da fonte à junção p-n do substrato, como mostrado na figura 6.

FIGURA 6 – TÉCNICA DE POLARIZAÇÃO DE CORPO REVERSA

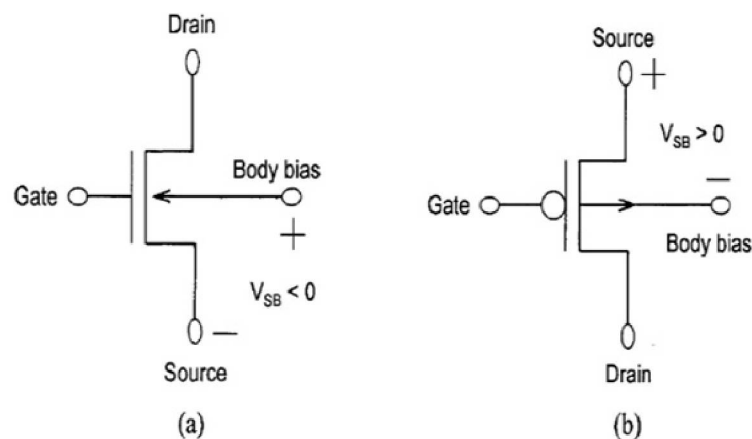


- (a) Um transistor NMOS com polarização de corpo reversa;
- (b) Um transistor PMOS com polarização de corpo reversa.

Em condições de polarização reversa, a largura da região de depleção das junções e entre a interface e o substrato aumentou e esse aumento correspondeu a um acréscimo na carga iônica na placa semicondutora do capacitor MOS. Para que se mantivesse o equilíbrio dessa carga, a carga móvel na camada de inversão diminuiu, fazendo com que a tensão da porta precisasse ser aumentada para que o transistor conduzisse. Assim, a polarização inversa no corpo de um transistor CMOS aumentou o  $V_{TH}$ , quando comparado com o corpo polarizado em zero. Segundo Verma et al. (2014), essa técnica de polarização do corpo reverso reduziu as variações nas características de velocidade e potência, devido às flutuações nos parâmetros de alimentação, temperatura e nos processos *die-to-die*.

Na Figura 7 foi mostrada a técnica de polarização direta no corpo do transistor, onde  $V_{TH}$  foi reduzido ao se aplicar uma tensão positiva através da junção fonte-substrato. Nessa técnica, a largura da região de depleção diminuiu reduzindo a carga iônica na placa semicondutora do capacitor MOS. Para que se mantivesse o equilíbrio de carga, a carga móvel na camada de inversão aumentou. Como resultado, o  $V_{TH}$  necessário para atingir a condução do transistor foi menor, comparado com a polarização de corpo em zero.

FIGURA 7 – TÉCNICA DE POLARIZAÇÃO DE CORPO DIRETA



- (a) Um transistor NMOS com polarização de corpo direta;  
 (b) Um transistor PMOS com polarização de corpo direta.

FONTE: Verma et al. (2014).

Com relação aos resultados dessa técnica, Verma et al. (2014) apenas comentaram que ela era mais vantajosa em comparação com a técnica de

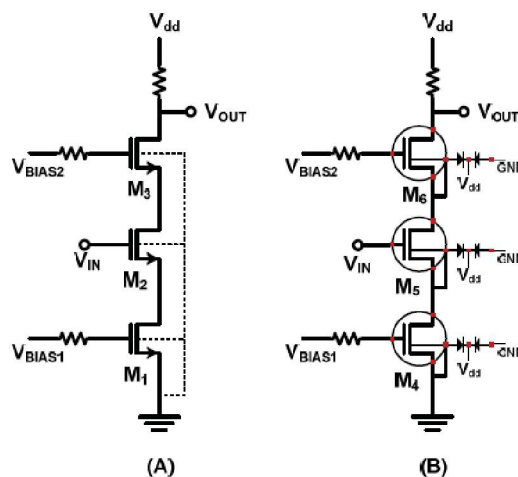


polarização reversa do corpo e esperava-se que ela se tornasse mais comum em tecnologias futuras.

Na técnica de polarização do corpo bidirecional o  $V_{TH}$  do transistor pôde ser ajustado para um valor intermediário, utilizando os benefícios das técnicas de polarização de corpo direta e reversa. Para aumentar a velocidade de comutação, o  $V_{TH}$  pôde ser reduzido pela polarização direta do corpo e, similarmente, para reduzir a velocidade e a perda de potência por temperatura, o  $V_{TH}$  foi aumentado pela polarização reversa do corpo (Verma et al., 2014).

O circuito implementado por Hwang et al. (2012) mostrou a diferença entre um amplificador *Cascode* clássico com transistores NMOS e com transistores NMOS de poço triplo, de acordo com a Figura 8. O  $V_{TH}$  de  $M_2$  e  $M_3$  da Figura 8(A) aumentou, devido à diferença de tensão entre o corpo e a fonte. No caso do transistor de poço triplo da Figura 8(B), o circuito permitiu que o potencial de corpo fosse igual a tensão da fonte. Os transistores  $M_5$  e  $M_6$  mantiveram a diferença de  $V_{SB}$  como zero, ficando imune ao efeito de corpo. Assim, a transcondutância de  $M_5$  permaneceu maior que  $M_2$ , ficando o ganho e a largura de banda de 3 dB do *Cascode* com poço triplo melhor do que o da estrutura típica. O resultado do circuito com a interligação entre corpo e fonte apresentou um aumento no ganho de 2 dB em relação ao corpo aterrado.

FIGURA 8 – ESTRUTURAS TÍPICAS DE NMOSFET COM TECNOLOGIA CONVENCIONAL (BULK) CMOS (A) E IMPLEMENTANDO COM TECNOLOGIA DE POÇO TRIPLO (B)

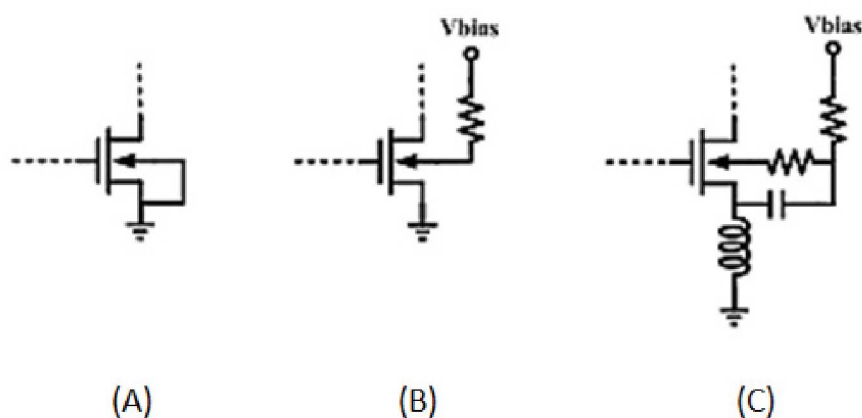


FONTE: Hwang et al. (2012).



Os resultados da polarização de corpo para redução do consumo e melhoria da linearidade foram abordados também por Huang et al. (2014). No artigo foi descrito que o método mais amplamente usado é a tensão de polarização do corpo conectada ao terra, conforme apresentado na Figura 9(A). Porém, este método não foi o adequado para projeto de baixa potência, pois no caso de um  $V_{TH}$  elevado, para manter os transistores de um amplificador de potência na região de saturação será necessário uma maior tensão de alimentação. A Figura 9(B) mostra que a polarização de corpo de um transistor NMOS pode diminuir o  $V_{TH}$  sem prejudicar o desempenho do circuito na operação em baixa tensão de alimentação, reduzindo o seu consumo de energia. No entanto, os autores recomendaram que neste tipo de circuito a tensão de polarização da fonte do CMOS precisa ser projetada com atenção, para não afetar o balanceamento do sinal de saída. Na sequência, o método de polarização do corpo na Figura 9 (C) é o aprimoramento da Figura 9 (B), que é uma técnica de polarização de corpo usada para obter baixo consumo de energia à medida que o  $V_{TH}$  está diminuindo. O capacitor gerou uma tensão alternada para ser retornada ao terminal da fonte de um transistor NMOS, a fim de fosse obtida uma tensão limite mais baixa. O consumo geral de energia e os custos de produção de *chipset* puderam ser menores.

FIGURA 9 – MÉTODOS DE POLARIZAÇÃO DE CORPO (SUBSTRATO) DO NMOSFET IMPLEMENTADO COM TECNOLOGIA DE POÇO TRIPLO

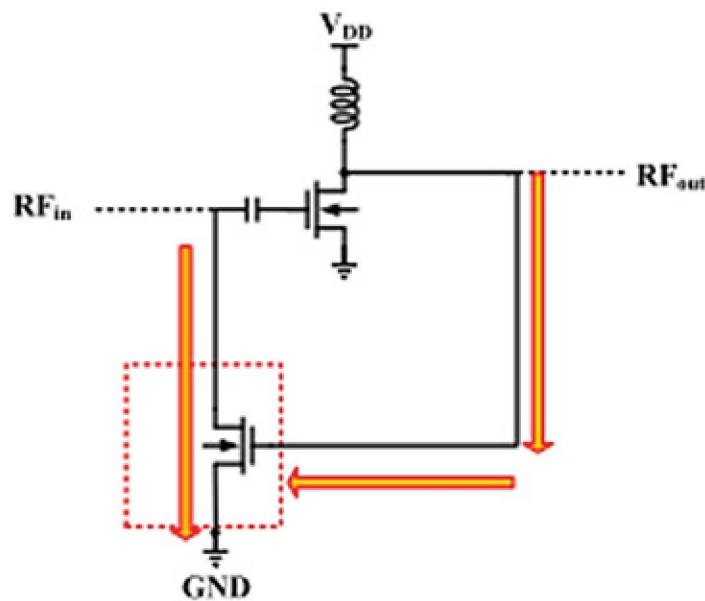


Três métodos de polarização de corpo: (A) terra;  
(B) tensão de polarização; e (C) tensão de  
polarização e capacitor.

FONTE: Huang et al. (2014)

Com relação aos efeitos da não linearidade do LNA, Huang et al. (2014) apresentaram que estes são gerados a partir da conversão de tensão-corrente. Na conversão tensão-corrente, do LNA foi necessário um circuito auxiliar para suprimir os sinais não lineares. Para isso, a técnica de polarização de corpo e circuito auxiliar também foi aplicada para aumentar a linearidade. A Figura 10 mostra a entrada RF no primeiro estágio de amplificação. Em seguida, esse sinal foi enviado para o segundo estágio de amplificação que é um circuito de compensação linear. Esse *loop* dos sinais de entrada de RF pôde aumentar o ganho de potência do circuito geral. O ganho de pequenos sinais deste circuito foi de 11,66 dB e não foi afetado pela técnica de polarização de corpo.

FIGURA 10 – CIRCUITO DE COMPENSAÇÃO DE LINEARIDADE



FONTE: Huang et al. (2014)

## 4 MATERIAIS E MÉTODOS

### 4.1 INSTRUMENTO UTILIZADO E UNIVERSO DA PESQUISA

Para essa pesquisa foram desenvolvidos dois PA: um amplificador Fonte-Comum (FC) para uma análise inicial, em DC, dos efeitos da polarização de corpo; e um amplificador *Cascode*. Neste último, o principal parâmetro de desempenho foi o nível de potência de saída que ele poderia atingir no ganho, na linearidade e na eficiência. Esse amplificador de potência pode ser classificado como de banda estreita e destinado à operação linear (Classe AB).

Sendo assim, foi analisado um projeto de um amplificador de potência, utilizando a topologia de um *Cascode*, em radiofrequência, operando a 2,4 GHz e usando a tecnologia em 130 nanômetros, *software Cadence Virtuoso SpectreRF* (GLOBALFOUNDRIES, 2016), disponível na Universidade Federal do Paraná (UFPR).

A estrutura *Cascode* foi escolhida por apresentar uma alta impedância de saída em relação à configuração Fonte-Comum do transistor 1 ( $T_1$ ), uma vez que adicionando a configuração Porta-Comum (PC) do transistor 2 ( $T_2$ ) ao circuito a impedância foi aumentada de um fator igual a  $g_{m2}r_{o2}$ , onde  $g_{m2}$  é a transcondutância e o  $r_{o2}$  é a impedância introduzida por de  $T_2$ , respectivamente, e cujo ganho de tensão aumentou de uma quantidade igual ao ganho intrínseco do dispositivo *Cascode* (Razavi, 2005).

Os gráficos foram elaborados no *Microsoft Excel Office Home and Student 2010*.

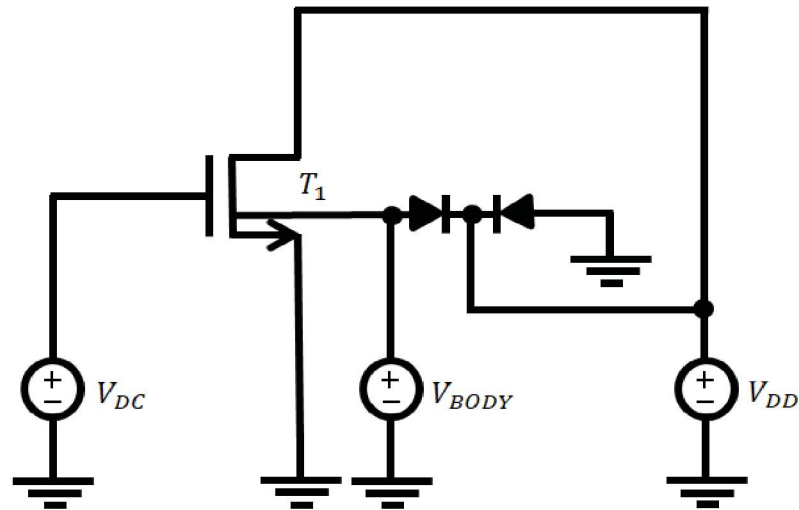
As simulações foram realizadas configurando a temperatura de simulação em 70°C e impedância de 50  $\Omega$  nas portas dos terminais de entrada e saída. As tensões aplicadas no terminal de corpo dos transistores variaram de  $-2$  a  $+2$  V.

### 4.2 TESTES INICIAIS

Primeiramente, foi executada uma simulação DC de um amplificador Fonte-Comum, com a finalidade de observar o comportamento do transistor NMOS, do tipo poço triplo, com e sem polarização de corpo, conforme a Figura 11. A polarização de corpo consistiu em aplicar tensões para que fosse alterada a densidade de carga

eletrostática móveis no canal do transistor, verificando se modificava a tensão de limiar.

FIGURA 11 – CIRCUITO FONTE-COMUM COM POÇO TRIPLO

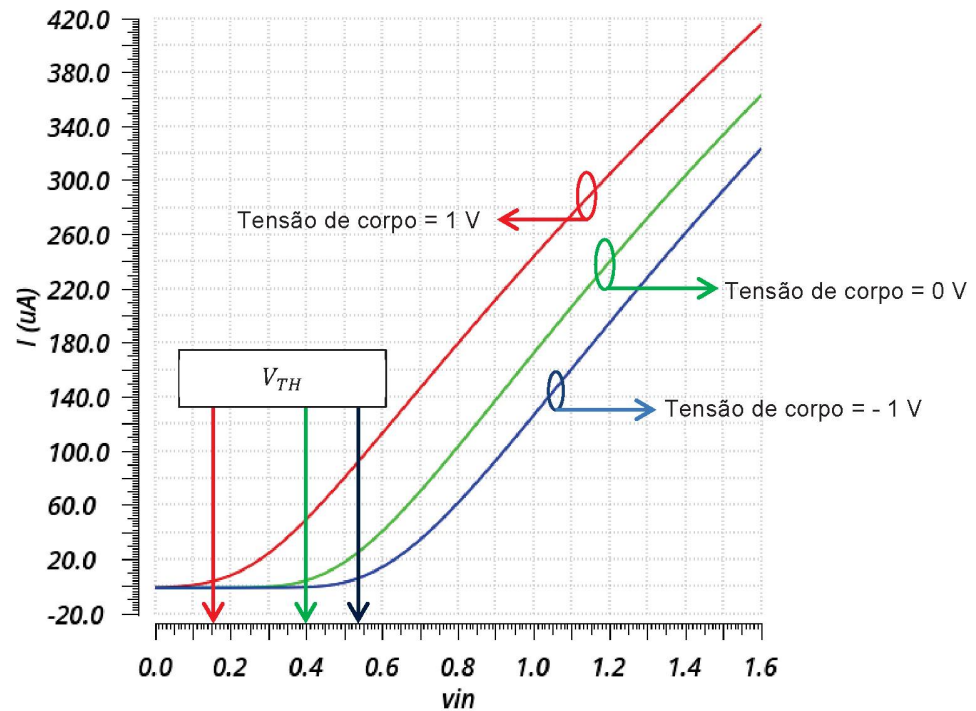


FONTE: O autor (2020).

Foi observado que era possível alterar o  $V_{TH}$ , sendo que os valores positivos da tensão de corpo diminuíram esta tensão de limiar, possibilitando obter mais corrente de acionamento, portanto, maior desempenho.

O Gráfico 1 ilustra o conceito. Para o transistor NMOS, a polarização direta significa  $V_{SB} < 0$ . A curva em verde representa o potencial do corpo de  $T_1$  no terra, que serviu de referência para as tensão positiva e negativa aplicadas neste corpo. A curva em vermelho apresenta a redução do  $V_{TH}$  ao se aplicar uma tensão de 1 V no corpo de  $T_1$ , onde a corrente do dreno alcançou maiores valores para menores tensões de entrada ( $v_{in}$ ), comparado a curva em verde. Isto possibilitou uma maior sensibilidade do amplificador e a possibilidade de alcançar uma maior potência, comparado com as outras curvas. A curva em azul representa a aplicação de  $-1$  V no corpo de  $T_1$ . Isso provocou um aumento do  $V_{TH}$  e o amplificador alcançou menor potência, tendo em vista a menor corrente, onde tal fato também pode reduzir a corrente de fuga entre a junção formada entre a Fonte e o Substrato.

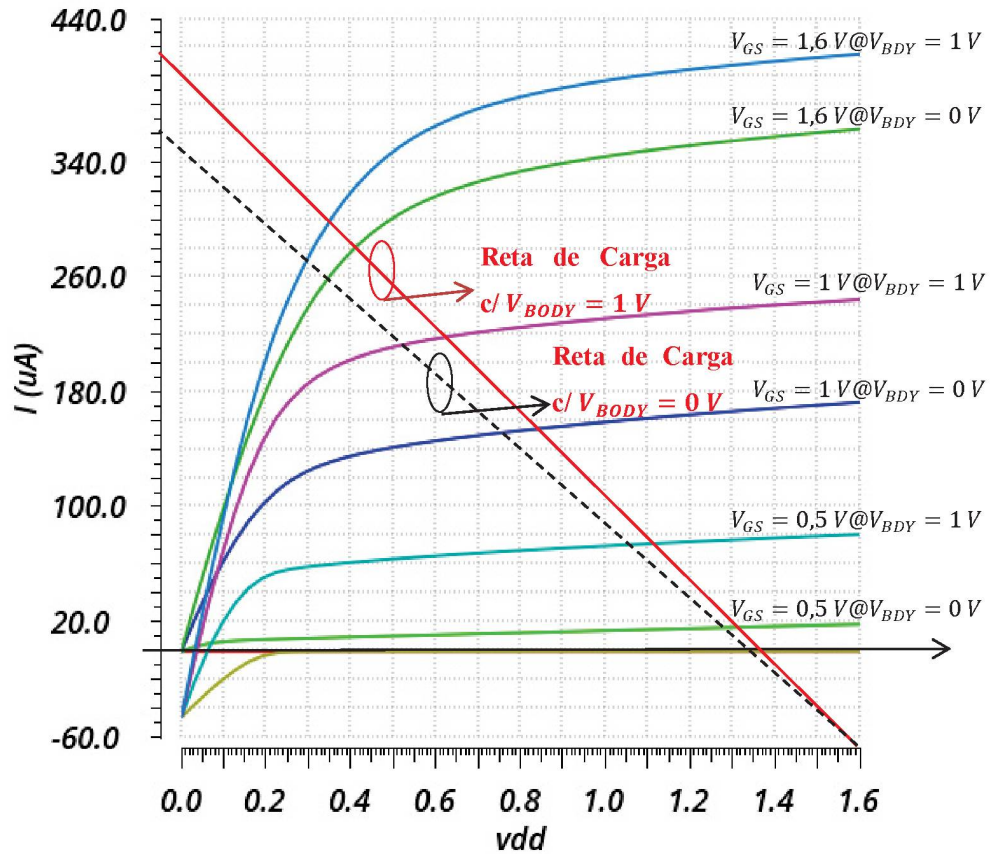


GRÁFICO 1 – CURVA CARACTERÍSTICA  $I_D$  vs  $V_{GS}$ 

FONTE: O autor (2020).

O Gráfico 2 mostra as retas de carga com e sem polarização de corpo, onde o ponto quiescente de operação DC do amplificador é função de  $V_{GS}$ ,  $V_{dd}$  e dos parâmetros do transistor. Com a polarização de corpo, o ponto quiescente poderia ser definido para uma corrente de dreno mais elevada na região de saturação. Isto possibilitou o aumento da excursão de  $V_{DS}$  sem atingir os limites da tensão de ruptura. Sendo assim, a eficiência do amplificador poderia melhorada (menor  $V_{TH}$  dinâmico em:  $V_{TH} = V_{T0} + \gamma[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}]$ ) com a redução do valor de  $V_{SB}$ , tendo a possibilidade de sensibilizar o circuito a partir de uma menor tensão  $V_{GS}$  de entrada. Com a maior inclinação da reta de carga na polarização de corpo se esperava um maior ganho, tendo em vista que para uma mesma amplitude do sinal de entrada é possível obter um sinal de saída com polarização de corpo maior do que sem polarização de corpo, conforme depreendido no Gráfico 2.



GRÁFICO 2 – CURVAS CARACTERÍSTICAS  $I_D$  vs  $V_{DS}$ 

FONTE: O autor (2020).

### 4.3 PROCEDIMENTOS DE COLETA DE DADOS

A ideia principal deste projeto foi utilizar a polarização de corpo para ajustar o  $V_{TH}$ , com a possibilidade de melhoria dos parâmetros de ganho, linearidade e eficiência de energia. Um dos limites da operação de um amplificador de potência é o seu ponto de compressão.

O primeiro passo foi a obtenção do melhor amplificador em termos de linearidade sem nenhuma polarização de corpo para as condições impostas. Para isso foram realizadas as simulações paramétricas com o corpo do amplificador *Cascode* na polarização clássica, ou seja, com o corpo no potencial zero. E para a maior linearidade do PA foi realizado o aumento da tensão de trabalho do amplificador de potência até o limite de  $P_{in\_T1} - ICP_{1dB}$ , com valor igual ou mais próximo possível de 2 dB, para que o dispositivo NMOSFET não alcançasse a tensão de ruptura e sendo utilizada a simulação em *load-pull*. Qualquer combinação de polarização de corpo para superar os resultados em relação ao circuito de

referência (corpo em zero) partiria da especificação desta configuração do circuito e dos seus valores de máximo desempenho.

Com base no circuito da Figura 12, foram realizados testes com as seguintes combinações de polarização direta e reversa no corpo dos transistores:

- a)  $V_1$  e  $V_2$  em zero;
- b)  $V_1$  em zero e  $V_2$  com tensões positivas;
- c)  $V_1$  em zero e  $V_2$  com tensões negativas;
- d)  $V_1$  com tensões positivas e  $V_2$  em zero;
- e)  $V_1$  com tensões negativas e  $V_2$  em zero;
- f)  $V_1$  e  $V_2$  com tensões negativas;
- g)  $V_1$  e  $V_2$  com tensões positivas; e
- h)  $T_1$  e  $T_2$  com o corpo ligado à fonte (terminal de fonte de  $T_1$  estava no potencial zero).

Quanto aos procedimentos técnicos foi realizada uma pesquisa bibliográfica e experimental, haja vista que foi utilizado como objeto de estudo um amplificador de potência com topologia *Cascode*, onde foram pesquisadas publicações e normas técnicas, sendo definidas as variáveis de influência, as formas de controle e observação dos efeitos produzidos.

Dois bancos de teste foram realizados para a obtenção de resultados nessa pesquisa. O primeiro banco de testes, após o fornecimento do sinal AC ao PA por fonte senoidal, permitiu fazer medições gerais, incluindo medições relacionadas à energia (potência de entrada, potência de saída, tensão de alimentação, corrente de alimentação, ganho de potência e dissipação de energia), medições de eficiência (eficiência de potência adicionada), medições de linearidade (ponto de compressão de 1 *dB*), medições de estabilidade; medições de parâmetro S de grande sinal. O segundo banco de testes gerou o levantamento dos contornos de *load-pull*.

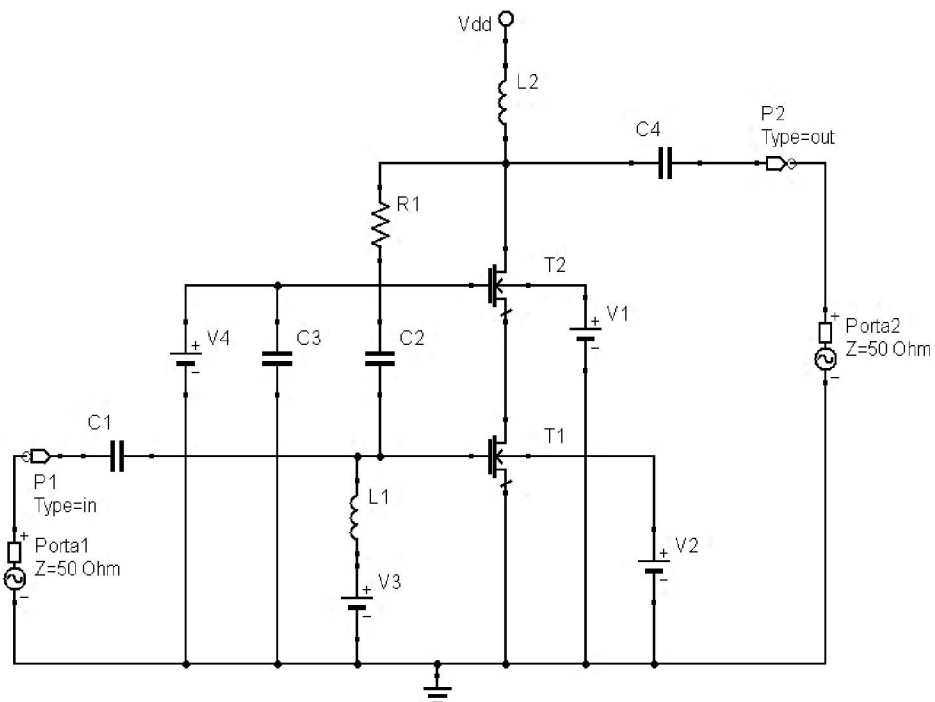
#### 4.4 CIRCUITO AMPLIFICADOR CASCODE

Uma maneira de melhorar o desempenho do amplificador Fonte-Comum e aumentar o limite de tensão do sinal de entrada sobre este transistor é adicionar um amplificador Porta-Comum no dreno do transistor Fonte-Comum, conhecido como configuração *Cascode*. A configuração *Cascode* escolhida limita as excursões de

$V_{DS}$  do circuito Fonte-Comum, para que esta tensão fique abaixo de  $V_{dd} - V_{TH}$ . Com isso, o transistor do amplificador Porta-Comum recebe a maior tensão do nível DC e compartilha o sinal AC proveniente do sinal de entrada, reduzindo os picos sobre o Fonte-Comum, diminuindo o estresse de tensão sobre o transistor. Além disso, o uso do transistor Porta-Comum melhora a estabilidade do PA, pois aumenta o isolamento entre o estágio de entrada e a saída. E, para reduzir a limitação da tensão de ruptura no *Cascode*, também foram utilizados transistores de óxido espesso.

A configuração Porta-Comum da Figura 12 é o transistor  $T_2$  e o estágio de potência consiste de dois NMOSFET do tipo poço triplo de óxido *espesso* (*dgnfettw-rf*) que permitem separar a tensão aplicada no corpo, que é isolada por um anel do tipo “N-well” profundo, da tensão aplicada no substrato material “P”. O prefixo “dg” representa uma camada de óxido espesso com tensão de *ruptura* de 2,7 V e o sufixo “rf” nesta célula, representa uma geometria de layout RF controlada. Também foi inserido um indutor *choke* ( $L_2$ ), ligado a tensão de alimentação do amplificador de potência ( $V_{dd}$ ).

FIGURA 12 – CIRCUITO CASCODE PARA SIMULAÇÃO



FONTE: O autor (2020).



O uso de um circuito de realimentação RC ( $R_1$  e  $C_2$ ) e um capacitor ( $C_3$ ) deveu-se ao artigo de Lee e Kim (2005), que permitiu adotar a modificação da topologia tradicional do amplificador *Cascode*, visando implementar as vantagens como ganho maior, largura de banda maior, controlabilidade de ganho, melhor linearidade e estabilidade em comparação com outra topologia devido a realimentação por *shunt* resistivo ( $R_1$ ). Ainda, com base em Kushairi et al. (2011), o capacitor ( $C_2$ ) foi adicionado para permitir a polarização independente entre a porta e o dreno do transistor, sendo que o seu valor foi definido para ser grande o suficiente para causar um curto-circuito na frequência de 2,4 GHz.

Os capacitores  $C_1$  e  $C_4$  impedem que o componente DC das Portas 1 e 2 interfiram na polarização do circuito *Cascode*.

A fonte  $V_3$  e o indutor  $L_1$  definiram a tensão de polarização adequada (876 mV) para o estágio de potência operar na classe AB.

Neste processo recorrente (simulações paramétricas até o melhor resultado), o circuito de referência típico foi aquele em que o corpo dos transistores foi ligado ao terra ( $V_1$  e  $V_2$  iguais a zero Volts), sendo definido os seguintes valores para os componentes passivos:  $L_1=3,03$  nH;  $L_2=2,2$  nH;  $R_1=840$   $\Omega$ ;  $C_1=4$  pF;  $C_2=3,47$  pF;  $C_3=1$  pF;  $C_4=1$   $\mu$ F.

Os transistores foram dimensionados para a maior potência e para operar na região de saturação ( $V_{GS}>V_{TH}$  e  $V_{DS}>V_{GS}-V_{TH}$ ), onde foram obtidas as características aproximadas das tensões dos transistores, suas transcondutâncias e correntes e, por fim, uma estimativa dos valores de dimensionamento dos transistores, ou seja, a relação  $W/L$ . Após se encontrar os valores  $W/L$  dos transistores  $T_1$  e  $T_2$ , foram realizadas simulações paramétricas, de modo iterativo, até chegar aos valores para o maior nível de  $OCP_{1dB}$  em *load-pull*, alcançando as seguintes larguras de canal ( $W$ ): 1,2 mm o Porta-Comum e 3 mm o Fonte-Comum. A dimensão ( $L$ ) foi mantida fixa em 0,13  $\mu$ m para todos os transistores para se evitar problemas com os efeitos de canal curto. Com estes valores elevados de largura do canal, era desejado uma corrente de dreno alta, mas também houve um aumento na capacitância total da porta. Porém, neste projeto, não houve a análise sobre o limite da velocidade do circuito. Além disso, a largura do canal foi escolhida para o limite máximo de corrente contínua (em torno de 300 mA). Para a obtenção dos valores de  $W$ , foram

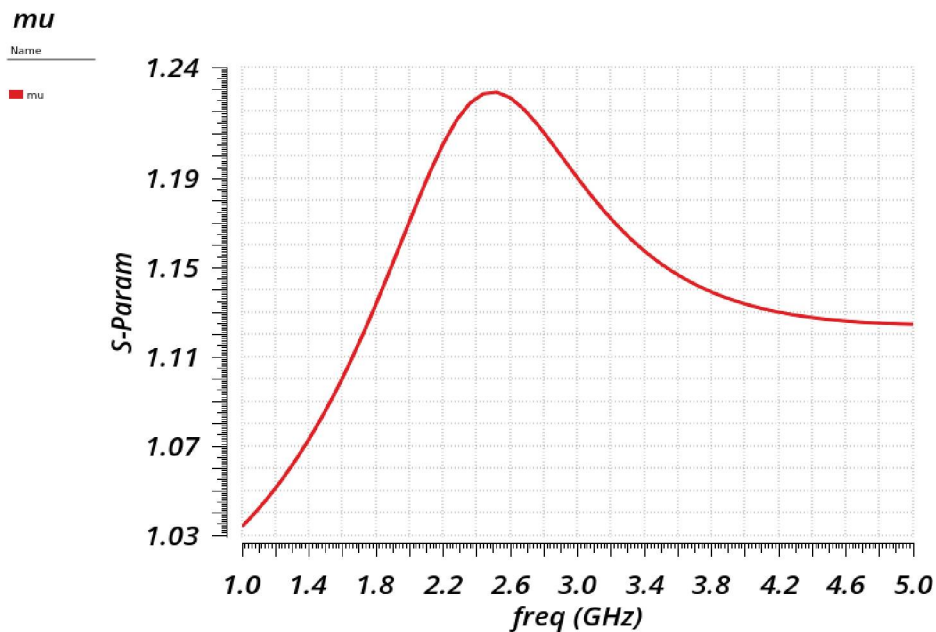
realizadas simulações paramétricas com possíveis combinações entre essas larguras do canal.

A tensão de polarização foi escolhida para que o amplificador mantivesse a operação em classe AB e com o compromisso de também manter a maior linearidade e eficiência.

#### 4.5 SIMULAÇÃO DO FATOR DE ESTABILIDADE

A análise de estabilidade foi um processo importante no projeto deste amplificador, onde os parâmetros dos componentes foram simulados até que fosse encontrado um fator de estabilidade superior a 1 na faixa entre 0 GHz e 5 GHz, conforme a Figura 13.

FIGURA 13 – SIMULAÇÃO DO FATOR  $\mu$



FONTE: O autor (2020).

O fator de estabilidade superior a 1 ( $\mu$ ) evitou que o circuito oscilasse quando o sinal fosse amplificado e realimentado no circuito (Ruiz e Pérez, 2014). Uma instabilidade no circuito poderia ser causada pela dependência do mesmo às impedâncias de fonte e carga apresentadas aos seus terminais. Nota-se que na largura de banda simulada o mínimo fator  $\mu$  encontrado foi de 1,03, mostrando que o PA era incondicionalmente estável.



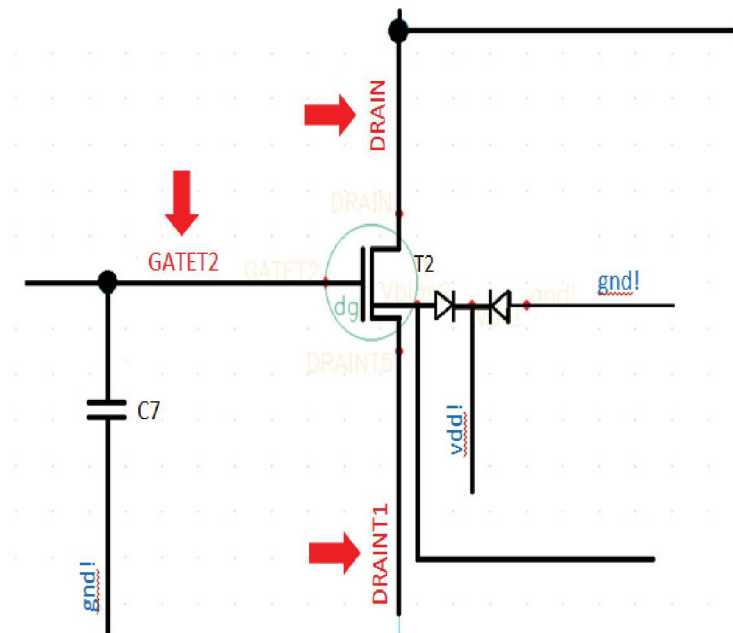
Para plotar a impedância equivalente vista por cada porta, no *software Cadence*, foi marcada a Função ' $Z_m$ ', sendo possível traçar a parte real e a parte imaginária da impedância vista por cada porta.

Para definir o parâmetro de estabilidade  $\mu$ , foi adicionada, manualmente, novas expressões na janela "*Outputs setup*" do *Analog Design Environment (ADE)*, tendo como referência as equações 13 e 14 e usando a função "*spm*", como apresentado no Apêndice 2.

#### 4.6 MÉTODO AUTOMATIZADO PARA DEFINIR A TENSÃO DE BREAKDOWN

A principal restrição nesta arquitetura *Cascode* era garantir que a primeira tensão de nó diferencial instantânea de pico de um transistor CMOS não fosse maior que a tensão de ruptura. Isso significou que as oscilações máximas  $V_{gs}$ ,  $V_{ds}$ ,  $V_{gd}$ ,  $V_{sb}$  e  $V_{db}$  (parcela DC mais parcela AC) não poderiam ser maiores que o limite de ruptura dos transistores ou, caso contrário, o silício poderia ser danificado ou a vida útil do transistor poderia ser reduzida. Ou seja, o PA deveria operar exclusivamente de forma linear e o  $OCP_{1dB}$  deveria ocorrer antes de qualquer um dos limites de ruptura, possibilitando extrair a potência máxima de saída da tecnologia.

FIGURA 14 – NÓS DO CASCODE RENOMEADOS PARA MEDIR A TENSÃO DIFERENCIAL

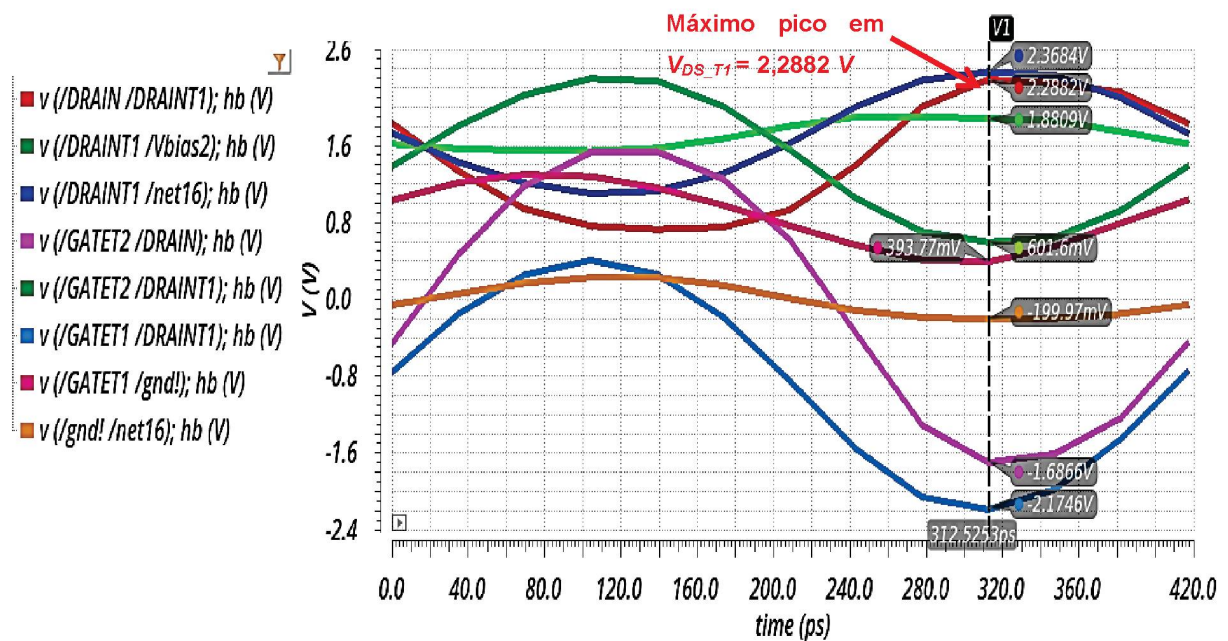


FONTE: O autor (2020).

Para medir as tensões de *ruptura* dos transistores MOSFET foi utilizada uma metodologia (Santos, 2018) que permitiu automatizar a informação da tensão diferencial entre os terminais dos transistores MOSFET com base na potência de entrada ( $P_{in}$ ). Sua configuração consistiu em gerar a expressão de tensão do nó diferencial, renomeando os nós do *Cascode*, conforme apresentado na Figura 14. Um exemplo é apresentado na Figura 15, com as tensões dos nós diferenciais de  $T_1$  e  $T_2$ , cujo  $ICP_{1dB}$  é igual a 6,017 dBm ( $P_{indbm}$ ). O máximo valor diferencial, mais próximo da tensão de ruptura no ciclo de 2,4 GHz, foi em  $V_{DS\_T1}$  igual a 2,2882 V, ou seja, aproximadamente 0,41 V inferior ao limite de ruptura do  $V_{DS}$  (2,7 V). A principal vantagem de se empregar essa metodologia é que o *designer* não precisa abrir constantemente este gráfico e verificar os valores de tensão instantânea de máximos e mínimos para alterar o circuito.

Os procedimentos para a execução da simulação em *Harmonic Balance* (HB), podem ser vistos no Apêndice 1.

FIGURA 15 – TENSÕES DIFERENCIAIS DO PA CASCODE CMOS



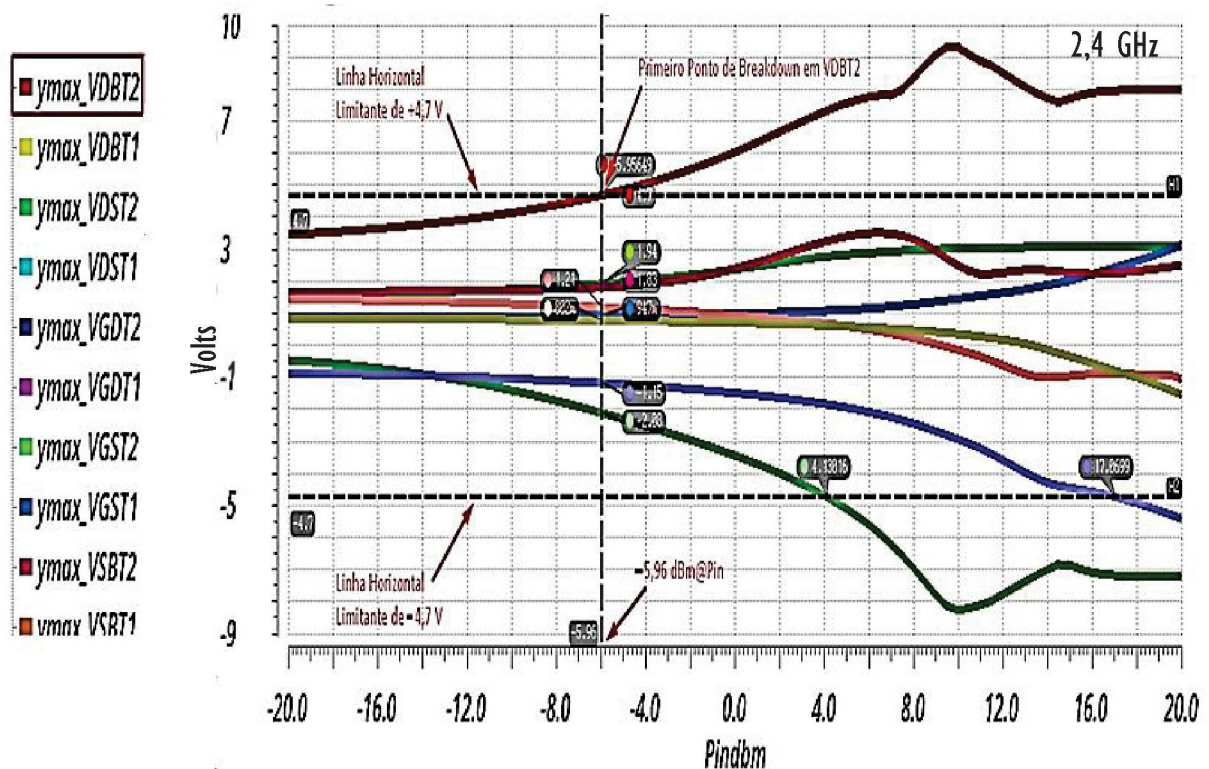
FONTE: O autor (2020).

Para plotar um sinal diferencial, foi alterado o método na seção “seleção do assistente de plotagem” para redes diferenciais, escolhendo os pares de fios no circuito esquemático do Cadence. O gráfico obtido contém as curvas da Figura 16 e

as expressões foram manualmente criadas, conforme o Apêndice 2. O limite utilizado e o gráfico da Figura 16 estão em função da entrada ( $P_{indbm}$ ), considerando que o valor do ganho é grande, da ordem de 18 dBm, significando que uma pequena variação de  $ICP$  poderia resultar numa grande variação de  $OCP$ . Isto aumentou a quantidade de variáveis para a construção de gráficos, a interpretação e a percepção dos resultados oriundos da variação da potência de entrada no amplificador de potência, pois com as variações de tensão de corpo a potência de entrada não atingia tão rapidamente o valor do limite de ruptura, quanto a potência de saída.

Os valores da Potência de entrada e respectiva saída onde ocorrem as tensões de *ruptura* foram estabelecidas por expressões do tipo “cross(ymax\_VDST2 2.7 1 “rising” nil nil 0)” ou “cross(ymin\_VDST2 -2.7 1 “falling” nil nil 0)” em 2,7V para os  $V_{gs}$ ,  $V_{ds}$  e  $V_{gd}$  e de 4,7V para  $V_{sb}$  e  $V_{db}$  e inseridas no *Output Setup* do ADE XL do Cadence para retornar valores, conforme exemplificado no Apêndice 2.

FIGURA 16 – VARREDURA PARA AS EXPRESSÕES DAS TENSÕES PICO DOS NÓS DIFERENCIAIS COM LIMITE EM  $\pm 4,7$  V



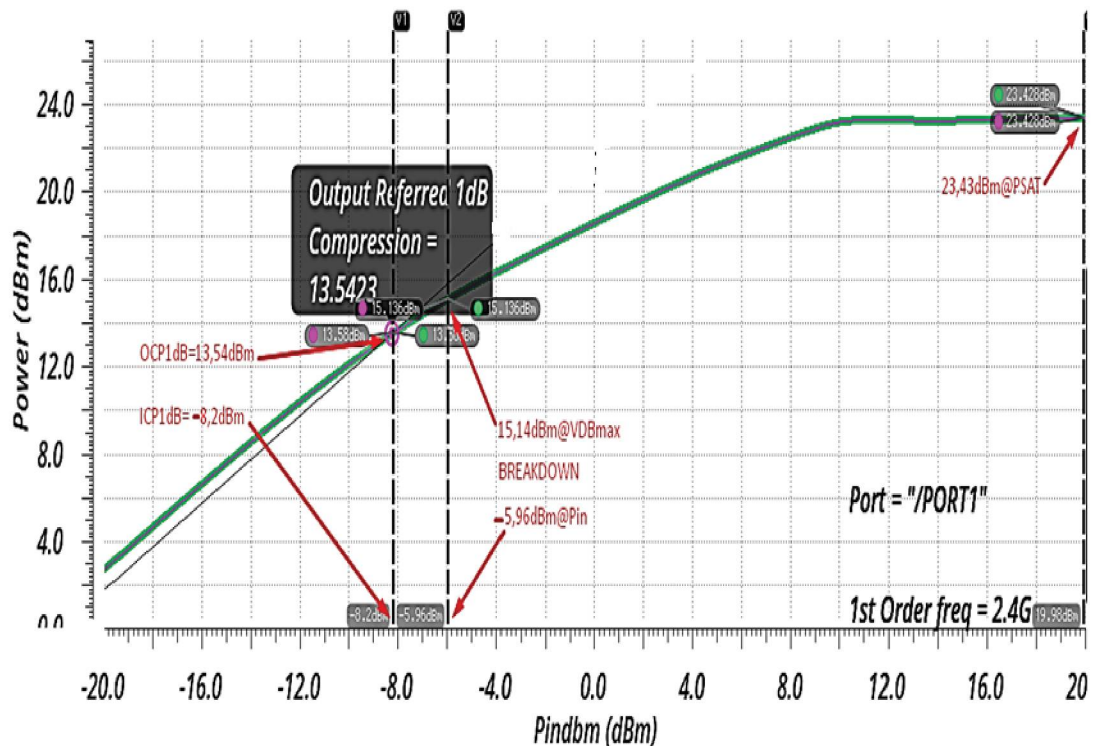
FONTE: O autor (2020).



Considerando que o PA deveria operar exclusivamente de forma linear, o  $ICP_{1dB}$  teria que ocorrer antes de qualquer um dos limites de *ruptura*. Para melhor entendimento, foi utilizado uma das simulações realizadas neste projeto, onde o primeiro ponto de ruptura de 4,7 V ocorreu em  $P_{in} = -5,96 \text{ dBm}@V_{DBT2}$ , conforme a Figura 16 e com  $P_{out} = 15,14 \text{ dBm}$ , de acordo com a Figura 17.

O critério que foi estabelecido neste projeto como uma salvaguarda para que o PA funcionasse no seu limite máximo de operação linear, sem nenhuma restrição, era que os valores dos componentes,  $V_{dd}$  e a polarização fossem definidos, mantendo a diferença entre o  $ICP_{1dB}$  encontrado e o  $P_{in\_dBm}$  de *ruptura* em aproximadamente 2 dB (valor referenciado), ou seja, menor que o limite de *ruptura*, conforme a Figura 17.

FIGURA 17 – PERFORMANCE DA POTÊNCIA DE RF POUT VS PIN



FONTE: O autor (2020).

#### 4.7 SIMULAÇÃO LOAD-PULL

A técnica de *load-pull* consiste basicamente em medir o desempenho de um amplificador fazendo variar a impedância vista na saída do circuito e isso se resume





Nos amplificadores de potência, além da deformação da excursão do sinal, a partir da potência de saturação do circuito, ocorre uma variação do ponto de operação do transistor, fazendo com que, para cada ponto, valores diferentes de impedâncias sejam verificados pela simulação. Quando a banda de operação é larga, a situação torna-se mais crítica ainda, tendo em vista que ocorrem várias impedâncias assumidas pelo transistor e, conseqüentemente, a falta de um controle perfeito da corrente na síntese de uma rede de casamento de impedância que ajuste corretamente a entrada e a saída do dispositivo. Utilizando-se a técnica de *load-pull*, é possível determinar a impedância ótima com o qual o PA é capaz de fornecer uma boa potência de saída com valores aceitáveis de rendimento e ganho para o projeto das redes de casamento de impedância. Após a simulação é selecionada uma impedância que atenda as necessidades do projeto, podendo ser a impedância que tenha a melhor potência de saída, ou o melhor ganho, ou a melhor eficiência, ou ainda, a melhor combinação destes resultados, pois quanto maior o  $OCP_{1dB}$ , melhor é desempenho do PA.

## 5 APRESENTAÇÃO DOS RESULTADOS

A polarização do corpo foi usada para ajustar o  $V_{TH}$  de um transistor CMOS, fazendo uso do quarto terminal conectado ao corpo (substrato) sendo realizadas várias simulações com o intuito de se observar e compreender o comportamento do amplificador *Cascode* perante as variações das tensões de corpo e a consequência nas correntes de fuga do canal e tensão de *ruptura* do transistor.

Essas simulações foram ajustadas para a temperatura de  $70^{\circ}\text{C}$ , no *Virtuoso Analog Design Environment XL*, estimando provocar uma alta temperatura de operação no transistor que pudesse inferir os efeitos indesejados no circuito e o seu grau de influência nos resultados esperados.

As comparações utilizaram como circuito de referência o *Cascode* com polarização de corpo de  $T_1$  (Fonte-Comum) e  $T_2$  (Porta-Comum) no potencial zero (terra). Também foi estabelecida uma impedância de  $50\ \Omega$  nas portas dos terminais de entrada e saída. As tensões aplicadas no terminal de corpo dos transistores variaram de  $-2\text{ V}$  a  $+2\text{ V}$ .

Após inúmeros ensaios, foram escolhidos os resultados mais significativos, através de um refinamento dos dados, levando em consideração a diferença de tensão entre a tensão da fonte ( $V_s$ ) e a tensão do corpo ( $V_b$ ), para analisar em que medida os principais parâmetros do PA foram afetados, bem como o  $V_{TH}$ , a corrente de saturação e a transcondutância, tendo como variável a tensão de  $V_{dd}$  e/ou de polarização.

Estas simulações serviram de partida para observar o comportamento da potência de saída. Por este motivo, o corpo do transistor pôde ser visto como uma segunda porta que influencia nos principais parâmetros de um amplificador de potência.

Para impedir que o transistor *Cascode* atingisse o limite de ruptura (*breakdown*), foi estabelecido que nesse PA o  $ICP_{1dB}$  seria  $2\text{ dB}$  inferior ao primeiro limite de *ruptura* atingido por qualquer queda de tensão entre os terminais do transistor ( $V_{GS}$ ,  $V_{DS}$ ,  $V_{GD}$ ,  $V_{SB}$ ,  $V_{DB}$ ), resguardando que o silício pudesse ser danificado. Esse critério foi levado em consideração para que as simulações pudessem alcançar o limite máximo do PA em operação linear e sem restrição, uma vez que não era possível direcionar esse PA para potência de entrada saturada.

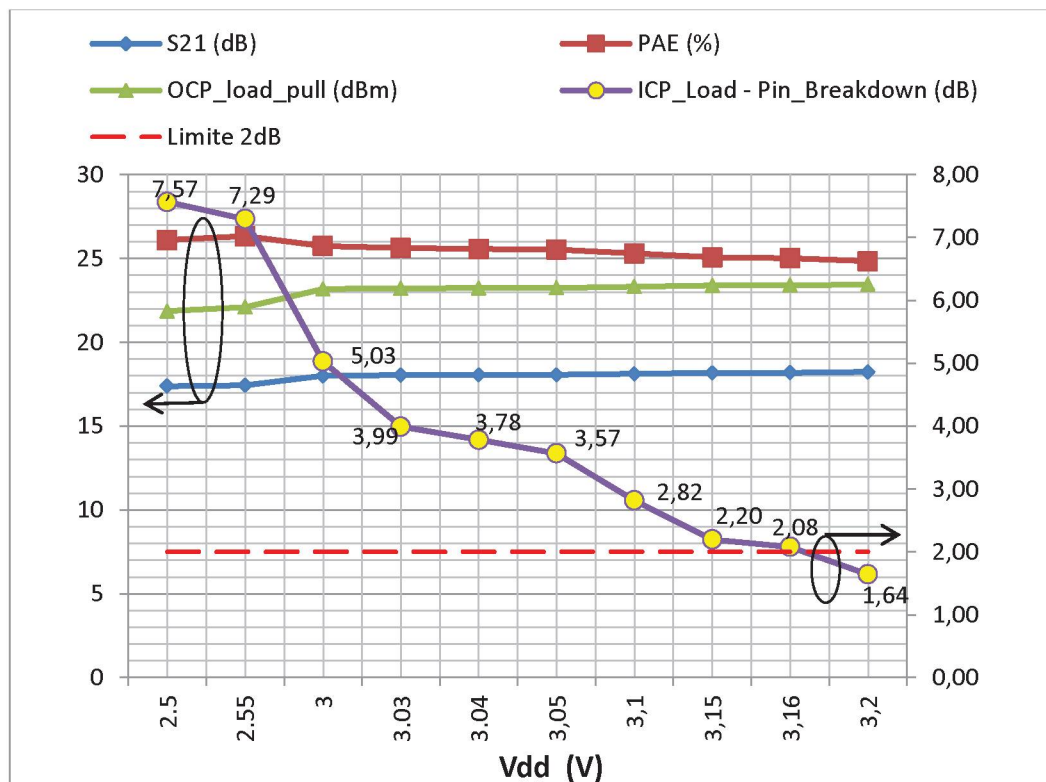
Sendo assim, o  $OCP_{load-pull}$ , indicado nos gráficos a seguir, são o registro do maior valor, baseado em  $ICP$  a 2 dB antes de atingir a primeira tensão de *ruptura*.

Para facilitar a compreensão do fenômeno estudado e reduzir a quantidade de figuras, note-se que, em se tratando de grandezas de unidades diferentes em um mesmo gráfico, adotou-se a nomenclatura “valor numérico absoluto” para o eixo das ordenadas.

### 5.1 AMPLIFICADOR SEM POLARIZAÇÃO DE CORPO

Vale a pena citar que o circuito do PA que está sendo simulado é o mesmo da Figura 12 e as dimensões são as mesmas para todos os casos analisados.

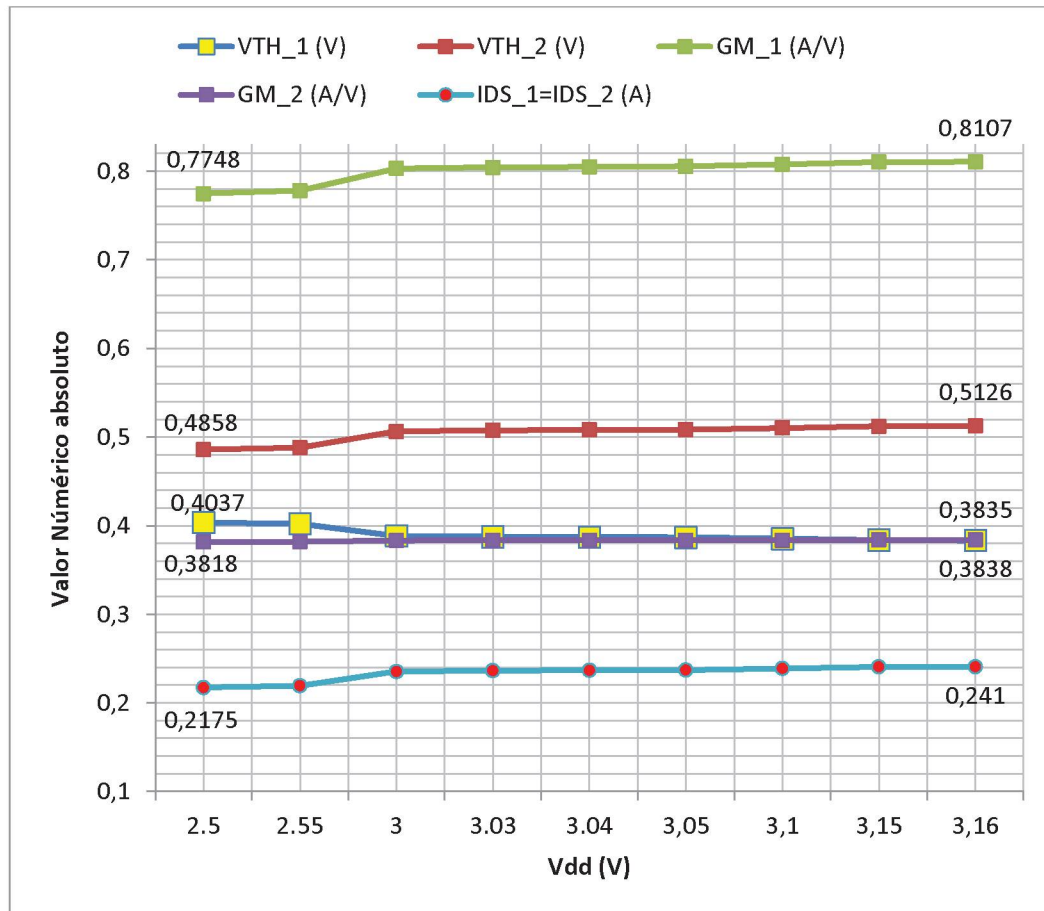
GRÁFICO 3 – COMPORTAMENTO DO PA COM VARIAÇÃO DO  $V_{dd}$  E BODY 1 E 2 EM ZERO



FONTE: O autor (2020).

O Gráfico 3, mostra os resultados colocando o corpo de  $T_1$  e  $T_2$  no potencial zero (aplicação típica utilizada em circuitos CMOS). O comportamento da tensão de limiar, transcondutância e corrente de saturação do amplificador *Cascode*, pode ser observado no Gráfico 4.

GRÁFICO 4 – COMPORTAMENTO DO  $V_{TH}$ ,  $G_m$  E  $I_{DS\_SAT}$  COM VARIAÇÃO DO  $V_{dd}$  E BODY 1 E 2 EM ZERO



FONTE: O autor (2020).

Com base nos resultados do Gráfico 3 e 4 verificou-se que com o aumento de  $V_{dd}$ , houve o aumento na corrente do PA e aumento nas transcondutâncias dos transistores. O  $V_{TH}$  de  $T_2$  aumentou, pois  $V_{SB} > 0$ , tendo em vista que o corpo de  $T_2$  não estava ligado no mesmo potencial do seu terminal fonte, ocorrendo o efeito de corpo neste dispositivo.

O aumento de  $V_{dd}$  em relação ao substrato (potencial zero) fez estreitar a região de depleção, aumentando a densidade de carga do canal e aumentando a  $I_{DS\_SAT}$ , o que refletiu uma diminuição do  $V_{TH}$  de  $T_1$ . O aumento de  $I_{DS\_SAT}$  foi influenciado pelo aumento de  $g_m$  (baseado na equação 4). Ainda, com o aumento do  $V_{dd}$  (tensão de trabalho) houve um aumento de  $OCP_{load-pull}$ , contudo, a elevação do ganho não foi suficiente para evitar a redução do PAE.

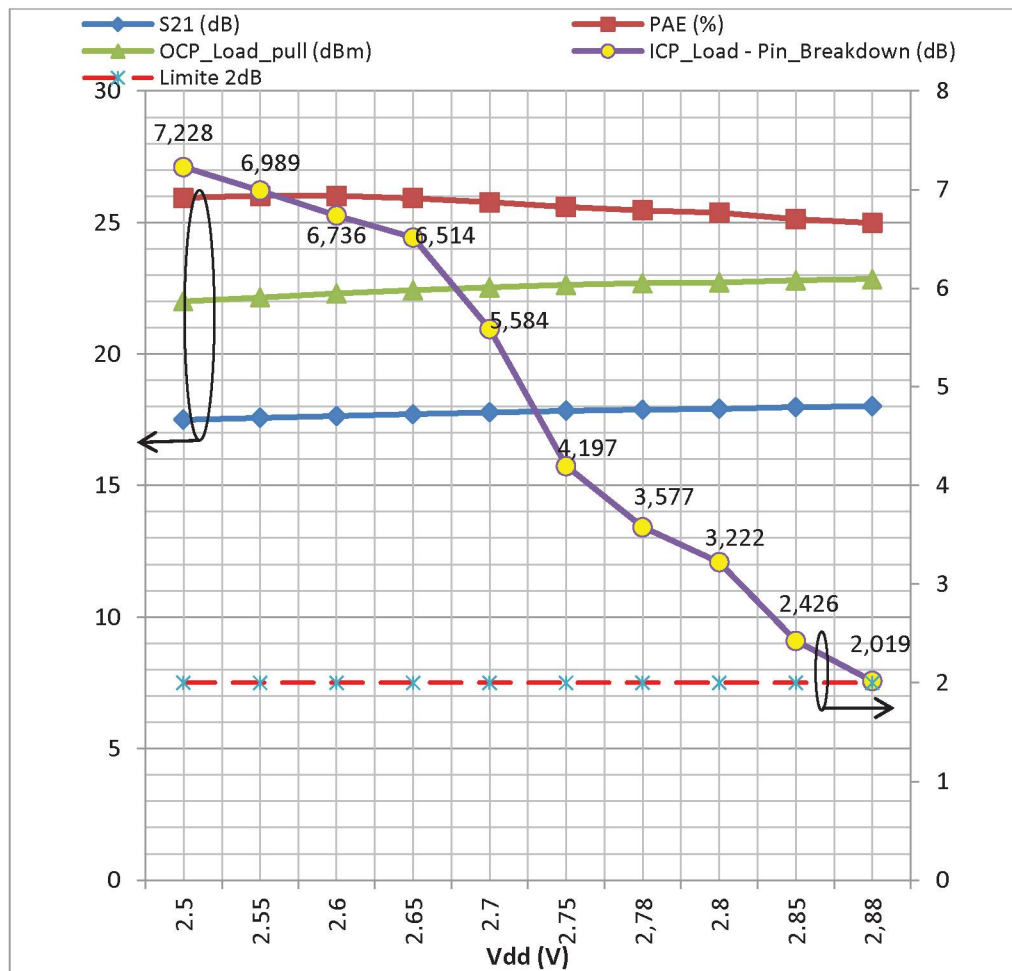
Esse circuito serviu de referência para todas as comparações das medidas realizadas, onde os maiores valores foram:  $S_{21} = 18,19 \text{ dB}@V_{dd} = 3,16 \text{ V}$ ;  $PAE =$



26,33% @  $V_{dd} = 2,55 \text{ V}$ ; e  $OCP_{load-pull} = 23,4 \text{ dBm}$  @  $V_{dd} = 3,16 \text{ V}$ . A primeira tensão de ruptura foi atingida com  $V_{dd} = 3,16 \text{ V}$ , no pico positivo de  $V_{DS}$ , quando a potência de entrada era igual a  $8,09 \text{ dBm}$  ( $P_{in,T1} - ICP_{1dB} = 2,08 \text{ dB}$ ).

Essa configuração será tratada nos próximos capítulos como “circuito de referência”.

GRÁFICO 5 – COMPORTAMENTO DO PA COM VARIAÇÃO DO  $V_{dd}$  E SUBSTRATOS (BODY) DOS NMOSFET 1 E 2 EM SOURCE

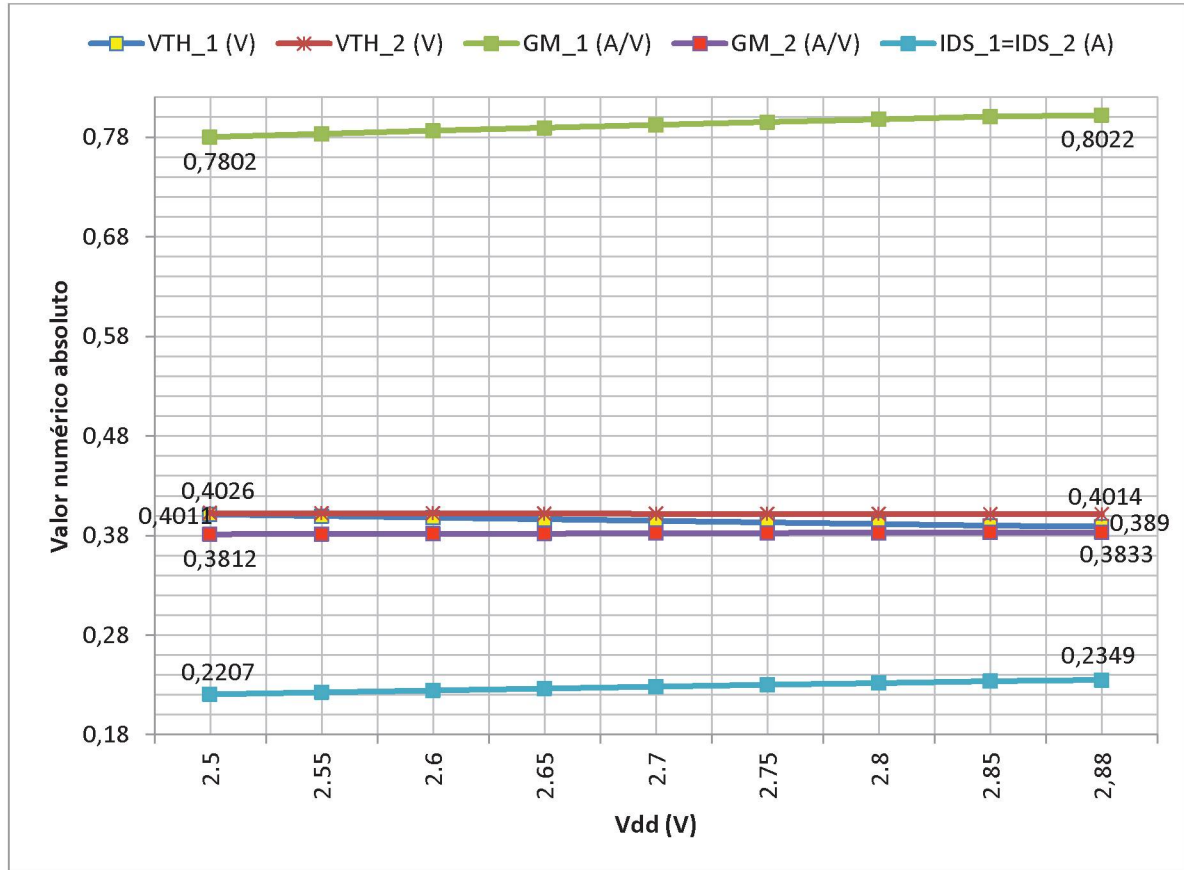


FONTE: O autor (2020).

O Gráfico 5, mostra os resultados colocando o corpo de  $T_1$  e  $T_2$  no mesmo potencial das respectivas Fontes (*sources*). O comportamento da tensão de limiar, transcondutância e corrente de saturação do amplificador Cascode, pode ser observado no Gráfico 6.



GRÁFICO 6 – COMPORTAMENTO DO  $V_{TH}$ ,  $G_m$  E  $I_{DS\_SAT}$  COM VARIAÇÃO DO  $V_{dd}$  E BODY 1 E 2 EM SOURCE



FONTE: O autor (2020).

Com base nos resultados do Gráfico 5 e 6, ligando o terminal do corpo de  $T_1$  e  $T_2$  no mesmo potencial das respectivas Fontes (*sources*) e comparando os resultados do PA com o corpo de  $T_1$  e  $T_2$  em zero, foi possível mensurar que o amplificador de potência com o corpo no potencial zero apresentou um melhor comportamento, pois alcançou maior tensão de  $V_{dd}$ , um maior valor de  $S_{21}$  e maior  $OCP_{load-pull}$ .

Os maiores valores encontrados para o terminal do corpo de  $T_1$  e  $T_2$  no mesmo potencial das respectivas Fontes foram:  $S_{21} = 18 \text{ dB}@V_{dd} = 2,88 \text{ V}$ ,  $PAE = 26\%@V_{dd} = 2,6 \text{ V}$ ; e  $OCP_{load-pull} = 22,9 \text{ dBm}@V_{dd} = 2,88 \text{ V}$ . O primeiro limite de *ruptura* foi atingido para valores maiores que  $V_{dd} = 2,88 \text{ V}$ , no pico positivo de  $V_{DB}$  do transistor  $T_2$ , quando a potência de entrada era de  $7,64 \text{ dBm}$  e  $ICP_{1dB}$  igual a  $5,63 \text{ dBm}$  ( $P_{in,T1} - ICP_{1dB} = 2,01 \text{ dB}$ ). O valor de  $OCP_{load-pull}$  aumentou  $0,85 \text{ dB}$  e  $S_{21}$  aumentou  $0,44 \text{ dB}$  com o aumento de  $0,38 \text{ V}$  em  $V_{dd}$ . Porém, o PA alcançou a

tensão de *ruptura* mais rapidamente do que com o corpo de  $T_1$  e  $T_2$  no potencial zero, pois não houve o aumento da corrente  $I_D$  para compensar um aumento mais rápido nas tensões de  $V_{DS}$  em consequência do aumento de  $V_{dd}$ .

Com o aumento de  $V_{dd}$  houve o aumento da linearidade do amplificador, onde  $P_{SAT}$  aumentou 1,36 dB e isso provocou uma redução da potência média e eficiência do PA, uma vez que o  $S_{21}$  foi pouco significativo. O ganho não ficou melhor que o circuito com o corpo de  $T_1$  e  $T_2$  em zero (referência) e com os transistores nas mesmas dimensões.

Sobre o Gráfico 6,  $T_1$  e  $T_2$  mantiveram a diferença entre o terminal fonte e o substrato igual a zero, eliminando o efeito do corpo nestes dispositivos. Assim, a transcondutância de  $T_1$  permaneceu ligeiramente maior do que  $T_1$  do circuito de referência.

## 5.2 AMPLIFICADOR COM POLARIZAÇÃO DE CORPO

A polarização do corpo pode ser usada para ajustar a tensão de limiar de um transistor CMOS, utilizando um quarto terminal (*back-gate*) conectado ao corpo (substrato). Para isso, foi necessária a aplicação de transistores do tipo poço triplo. A tensão de alimentação do amplificador ( $V_{dd}$ ) foi definida no valor de 2,5 V, para que fosse observado o efeito da simulação com tensões positivas e negativas no corpo do transistor, tendo como base o circuito de referência que apresentou  $S_{21} = 17,38 \text{ dB}@V_{dd} = 2,5 \text{ V}$ ,  $PAE = 26,1 \text{ \%}@V_{dd} = 2,5 \text{ V}$  e o  $OCP_{load-pull} = 21,86 \text{ dBm}@V_{dd} = 2,5 \text{ V}$ .

### 5.2.1 Polarização de $T_1$ e $T_2$ com tensões negativas

Foram realizadas simulações no corpo dos transistores  $T_1$  e  $T_2$ , combinando tensões negativas e zero de potencial e os valores de  $S_{21}$ ,  $PAE$  e  $OCP_{load-pull}$  foram menores que o circuito de referência. Pode-se destacar que, mantendo  $T_1$  no potencial zero e variando o corpo de  $T_2$  de  $-0,002 \text{ V}$  até  $-2 \text{ V}$ , os valores encontrados no PA que apresentou a menor alteração dos parâmetros principais em relação ao circuito de referência foram:  $S_{21} = 17,2 \text{ dB}@V_{Body} = -2 \text{ V}$ , menor 0,18 dB;  $PAE = 25,44\%@V_{Body} = -2 \text{ V}$ , menor 0,66 %; e  $OCP_{load-pull} = 21,56 \text{ dBm}@$

$V_{Body} = -2\text{ V}$ , menor 0,8 dB. Para estes resultados, o transistor que mais contribuiu com a amplificação do sinal de entrada foi o segmento Fonte-Comum que foi mantido no potencial zero, uma vez que o potencial negativo não foi favorável a um melhor desempenho do PA (sempre em comparação com o circuito de referência).

Neste contexto, pôde ser verificado que ao aplicar a tensão de corpo negativa apenas em  $T_2$ , o  $V_{TH}$  de  $T_2$  apresentou um aumento aproximado de 0,1 V.

O comportamento da tensão de limiar, transcondutância e corrente de saturação do amplificador *Cascode* apresentaram resultados menos favoráveis do que no circuito de referência. À medida que  $V_{SB}$  ficou mais positivo, fez aumentar a densidade do canal dos transistores, aumentando o  $V_{TH}$  e elevando o consumo DC do amplificador. O crescimento de  $V_{TH}$  levou à diminuição de  $I_{DS}$  (equação 4), influenciado pela redução de  $V_{SB}$ .

### 5.2.2 Refinamento utilizando somente a polarização de corpo positiva sobre $T_1$

Levando em consideração que os melhores resultados foram em relação à linearidade do circuito, o Gráfico 7 e 8 são as curvas de melhor desempenho do PA, com as simulações de  $V_{dd}$  de 3,18 V e 3,19 V, onde se variou apenas o corpo de  $T_1$  com potencial entre 0,002 V até 2 V, mantendo o  $T_2$  no potencial zero volt, buscando atingir a diferença entre o  $P_{in\_dBm}$  e  $ICP_{1dB}$  em praticamente 2 dB.

A decisão de aplicar a polarização de corpo apenas em  $T_1$  baseou-se nas diversas simulações realizadas durante o escopo da pesquisa, onde a alteração do  $V_{TH}$  do dispositivo Porta-Comum não teve efeito significativo sobre os principais parâmetros do PA.

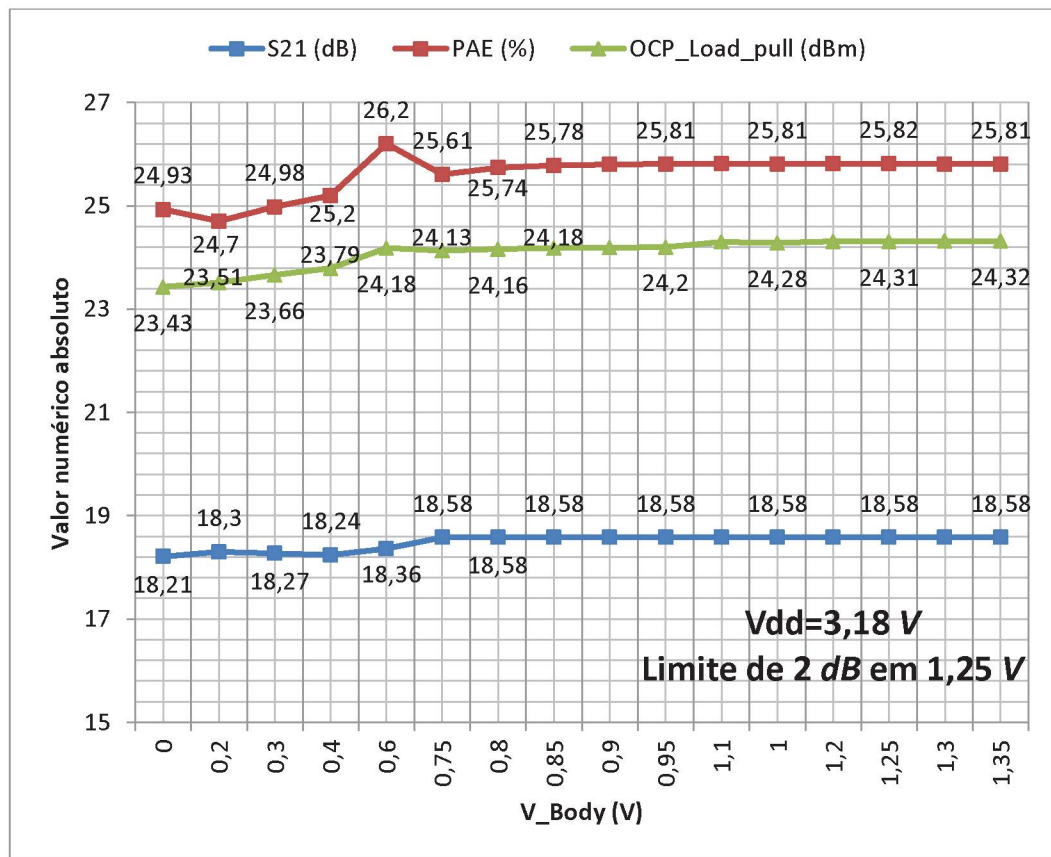
Também foi observado que com o aumento da tensão de corpo de  $T_1$ , o  $V_{TH}$  reduziu, conforme teorizado por Sedra e Smith (2000). O aumento de  $V_{dd}$  provocou uma elevação de  $V_{DS}$ , estrangulando ainda mais o canal do transistor  $T_1$ , ocorrendo um aumento proporcional na corrente  $I_D$ , com base a equação 4.

Ao utilizar a polarização de corpo foi possível alterar a tensão de trabalho na qual alterou ligeiramente a corrente de polarização do transistor Porta-Comum, resultando em um novo arranjo na curva de carga do amplificador. Isso possibilitou uma maior corrente e menor tensão de  $V_{DS}$  para uma mesma potência. Com isso, houve um espaço para o aumento do ganho dentro da condição de operação

segura, ou seja, mantendo um afastamento de 2 dB para a tensão de ruptura e não perdendo em linearidade.

Com isso, os transistores do PA puderam operar no máximo do desempenho de  $S_{21}$ ,  $PAE$  e  $OCP_{load\_pull}$  e a sua comparação com o circuito de referência, conforme foi registrado no Quadro 1, sem comprometer o dispositivo, definindo qual(ais) seria(m) o(s) melhor(es) resultado(s) dos parâmetros do PA em análise.

GRÁFICO 7 – CURVAS DE  $S_{21}$ ,  $PAE$  E  $OCP_{LOAD\_PULL}$  COM  $V_{dd}$  IGUAL A 3,18 V



FONTE: O autor (2020).

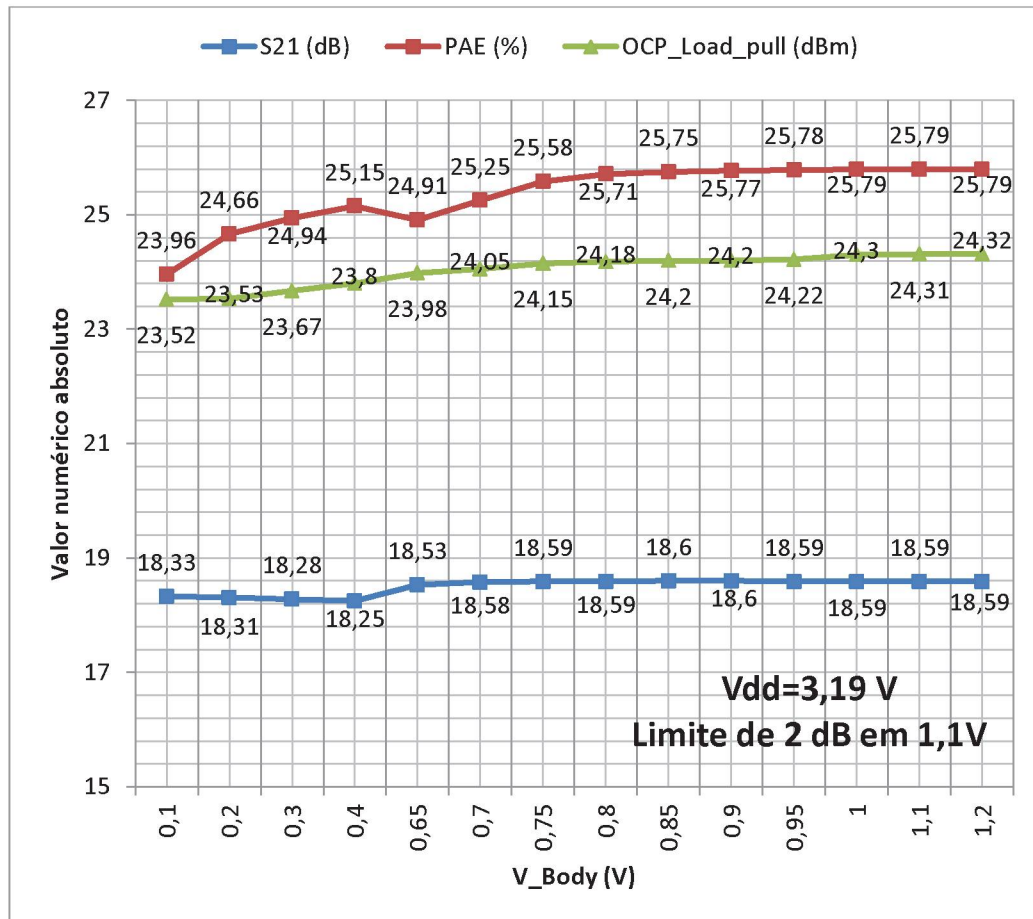
No Gráfico 7, o  $V_{dd}$  foi aumentado para 3,18 V, atingindo o seu limite no pico positivo de  $V_{DS}$  de  $T_2$ , na potência de entrada de 8,58 dBm ( $P_{in,T2} - ICP_{1dB} = 2$  dB) com  $V_{Body\_T1} = 1,25$  V. Os maiores valores, respeitando a tensão de ruptura, foram:  $S_{21} = 18,58$  dB@ $V_{Body\_T1} = 0,75$  V;  $PAE = 25,82\%$ @ $V_{Body\_T1} = 1,1$  V; e  $OCP_{load\_pull} = 24,31$  dBm@ $V_{Body\_T1} = 1,25$  V.

No Gráfico 8, com  $V_{dd}$  elevado para 3,19 V, o PA atingiu o seu limite no pico positivo de  $V_{DS}$  de  $T_1$ . Essa mudança foi resultado do aumento da tensão de  $V_{dd}$  que



junto com o ganho do sinal de entrada fez com que  $T_1$  atingisse o pico de tensão antes de  $T_2$ , ficando a potência limite de entrada em  $8,56 \text{ dBm}$  ( $P_{in,T1} - ICP_{1dB} = 2 \text{ dB}$ ) com  $V_{Body\_T1} = 1,1 \text{ V}$ . Os maiores valores, respeitando a tensão de ruptura, foram:  $S_{21} = 18,6 \text{ dB}@V_{Body\_T1} = 0,85 \text{ V}$ ;  $PAE = 25,79\%@V_{Body\_T1} = 1 \text{ V}$ ; e  $OCP_{load-pull} = 24,15 \text{ dBm}@V_{Body\_T1} = 1,1 \text{ V}$ .

GRÁFICO 8 – CURVAS DE  $S_{21}$ , PAE E  $OCP_{LOAD\_PULL}$  COM  $V_{DD}$  IGUAL A 3,19 V



FONTE: O autor (2020).

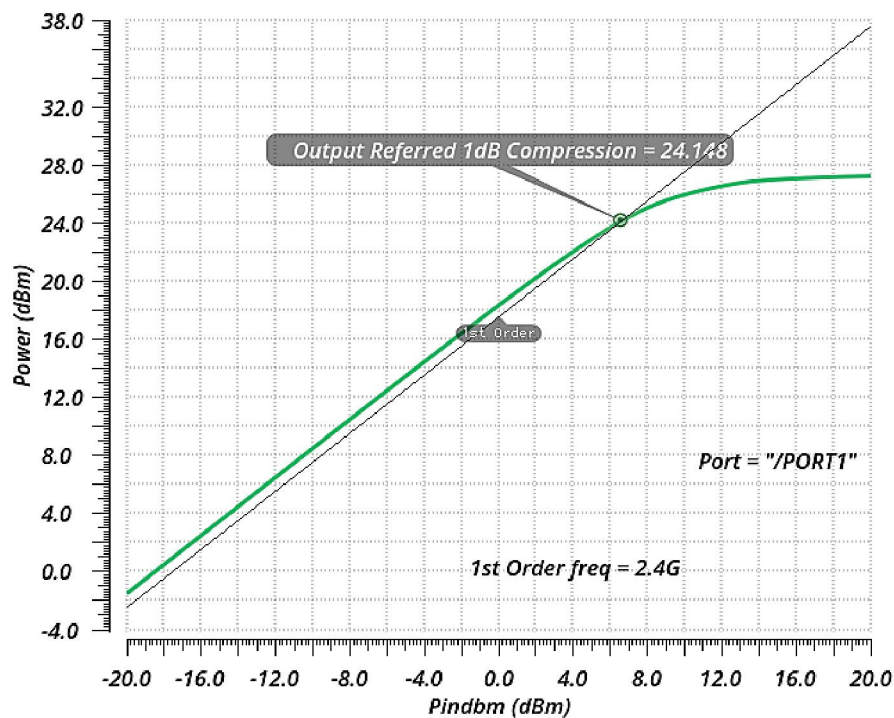
Vale ressaltar que, baseado em uma análise DC, aumentando a polarização positiva no corpo, os transistores apresentaram fuga de corrente para camada  $P\text{-well}$  (condução de  $D_1$  e  $D_2$ ), ilustrado na Figura 19 e esse efeito pode reduzir o valor do  $PAE$ .





Os referidos Gráficos mostram o relacionamento entre a potência de entrada e a potência de saída do amplificador a 2,4 GHz. Foi determinado, na Carta de Smith, o valor de  $OCP_{load-pull} = 23,42 \text{ dBm}@V_{dd} = 3,17 \text{ V}$  que foi o melhor valor para o amplificador de potência sem polarização de corpo. Substituindo os valores de  $50 \Omega$  nas Port 0 e Port 1 pelo valor de impedância complexa conjugada e complexa, respectivamente, o resultado apresentado no Gráfico 9 foi um  $OCP_{load-pull} = 23,21 \text{ dBm}$  e  $OCP_{load-pull} = 6,02 \text{ dBm}$ .

GRÁFICO 10 – CURVAS DA POTÊNCIA DE SAÍDA EM RELAÇÃO À POTÊNCIA DE ENTRADA E PONTO DE COMPRESSÃO DE 1 dB e  $V_{dd} = 3,18 \text{ V}@V_{Body\_T1}=1,2\text{V}$ ,  $V_{Body\_T2}=0 \text{ V}$



FONTE: O autor (2020).

Com tensão de polarização de corpo o valor de  $OCP_{load-pull} = 24,31 \text{ dBm}@V_{dd} = 3,18 \text{ V}$  e a tensão de polarização de corpo de  $T_1 = 1,2 \text{ V}$  e  $T_2 = 0 \text{ V}$  que foi o melhor resultado para o amplificador de potência com polarização de corpo. Substituindo os valores de  $50 \Omega$  nas Port 0 e Port 1 pelo valor de impedância complexa conjugada e complexa, respectivamente, o resultado apresentado no Gráfico 10 foi um  $OCP_{1dB} = 24,15 \text{ dBm}$  e um  $ICP_{1dB} = 6,57 \text{ dBm}$ .

Observando os Gráficos 9 e 10, pode-se verificar que a técnica de polarização de corpo permitiu aumentar a linearidade do amplificador.

Nas simulações, a polarização de corpo permitiu a seguinte análise:

- a) Permitiu uma melhora no ganho de pequenos sinais (máximo de 0,4 *dB* em relação ao circuito de referência);
- b) Permitiu aumentar o  $V_{dd}$ , juntamente com o desempenho do circuito e com isso, aumentar a linearidade (máximo de 0,9 *dB* em relação ao circuito de referência);
- c) A polarização de corpo não consome energia, uma vez mantido o  $V_B < V_S$  e  $V_B < V_D$ ;
- d) Não requer uma fonte externa, uma vez que uma fonte embarcada simplificada pode apresentar pouco impacto no espaço do *die*;
- e) Pode servir como elemento de ajuste no projeto do amplificador, sendo ativado para compensar as variações de  $V_{TH}$ , induzidas pela temperatura ou pelo efeito de envelhecimento do dispositivo;
- f) Pode ser ajustado um  $V_{TH}$  para cada estágio de um projeto de um amplificador com estágios reconfiguráveis.

Nas polarizações reversas de corpo, o primeiro limite de 2 *dB* estabelecido para não alcançar a tensão de ruptura foi atingido no pico positivo de  $V_{DB}$  do transistor  $T_2$  (PC), quando a potência de entrada era de 4,71 *dBm*, 3,17 *dBm* e 6,13 *dBm*, respectivamente. Estes valores foram inferiores aos apresentados nas polarizações diretas, indicando que a polarização reversa alcançou, rapidamente, os valores limites, aumentando o estresse em um dispositivo, observável pela diminuição dos valores de tensão de ruptura.

Além disso, no transistor com o corpo polarizado diretamente, ocorreu a alteração da tensão de limiar do dispositivo, ou seja, foi considerado no projeto o valor do  $V_{TH}$  reduzido para o ponto de operação do circuito.

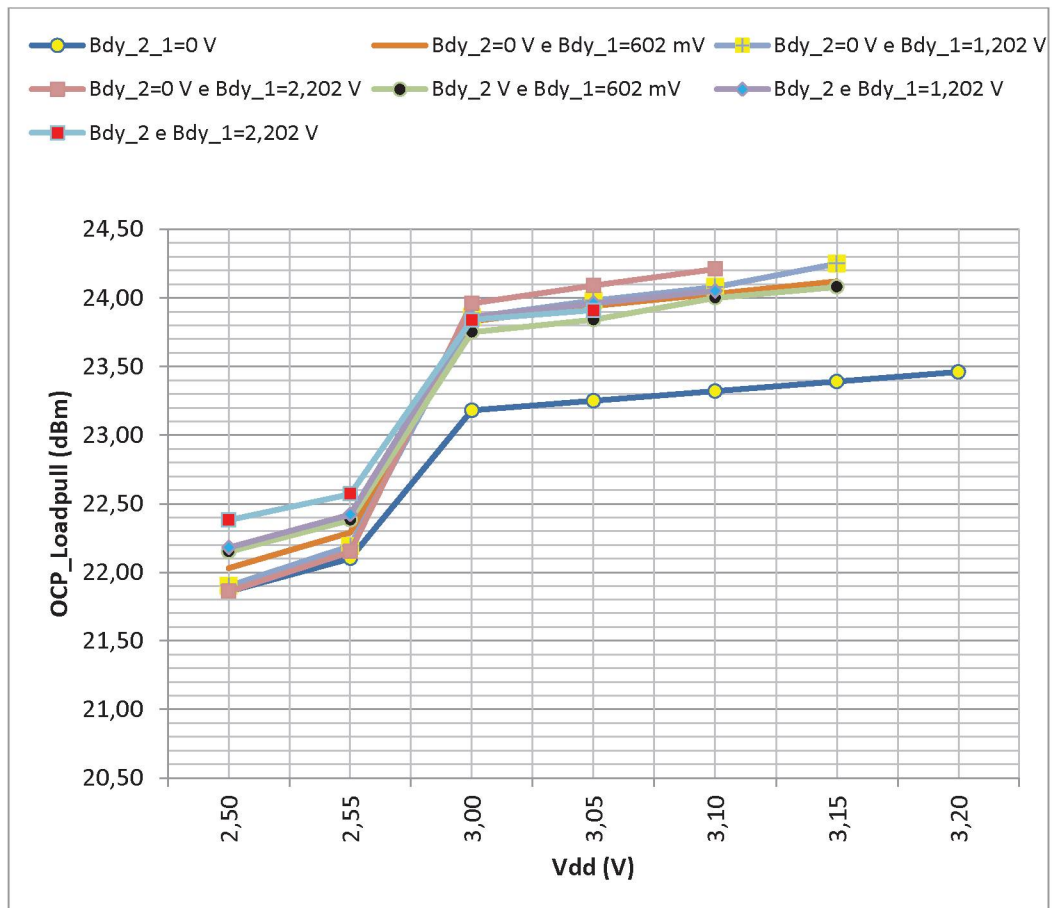
A variação de  $V_{dd}$  possibilitou observar o comportamento da eficiência, do ganho de pequenos sinais e da linearidade, limitando os níveis excessivos de corrente e transformação de carga.

A topologia em cascata é simplesmente empilhar um transistor de Porta-Comum ou transistor de *Cascode* na parte superior do transistor Fonte-Comum. Isso permite reduzir o estresse de tensão do transistor CMOS sobre a Fonte-Comum no estágio de saída do PA.

O transistor *Cascode* limitou as excursões  $V_{DS}$  do Fonte-Comum, porque a tensão do transistor  $T_1$  (FC) ficou abaixo de  $V_{dd} - V_{TH}$ , de modo a impedir que o  $T_2$  (PC) iniciasse a operação no corte. Também, o aumento da tensão positiva no substrato fez reduzir a carga da região de depleção, aumentar a carga da camada de inversão (canal) e, portanto, reduziu a densidade de carga total no canal, ou seja, o  $I_{DS\_SAT}$  aumentou com o aumento de  $V_{SB}$ .

Os arranjos realizados com a polarização de corpo em  $T_1$  (FC) e  $T_2$  (PC), foram o resultado do primeiro refinamento das tensões positivas sobre  $OCP_{load-pull}$ . Essa comparação foi condensada no Gráfico 11, onde os resultados com a polarização de corpo foram superiores em relação à polarização de corpo tradicional (referência), ou seja, com o corpo em  $T_1$  e  $T_2$  no potencial zero, onde a máxima diferença foi de 0,86 dB.

GRÁFICO 11 – COMPARAÇÃO ENTRE OS OCP\_LOAD-PULL, VARIANDO  $V_{dd}$  E BODY BIAS



FONTE: O autor (2020).



Também foi verificado que ao serem aplicadas tensões negativas no corpo dos transistores  $T_2$  (PC) e/ou  $T_1$  (FC) até o limite de, aproximadamente, 2 dB antes da tensão de *ruptura*, houve queda nos valores de  $S_{21}$ ,  $OCP_{load-pull}$  e  $PAE$ . Tal fato ocorreu, uma vez que os resultados obtidos com tensão de polarização de corpo negativa foram consequências do efeito da polarização reversa. Essa polarização provocou o aumento de  $V_{TH}$ , devido ao aumento da densidade de elétrons no canal do dispositivo MOSFET. Daí, a tensão da porta necessitou ser maior para compensar este efeito inverso do potencial, diminuindo o  $PAE$ . Ainda, com essa elevação da tensão negativa de polarização, houve uma redução da corrente entre dreno e fonte, reduzindo os valores de ganho e  $OCP_{load-pull}$ .

Vale comentar que o Quadro 1 apresentou o resultado do segundo refinamento utilizando somente a polarização de corpo positiva sobre  $T_1$  (FC). Mas antes de chegar a esse Quadro foram realizadas combinações de tensões, tendo como os melhores resultados para  $OCP_{load-pull}$  a polarização do corpo de  $T_2$  (PC) com o potencial zero e o corpo de  $T_1$  (FC) com polarização positiva ( $V_{Body\_FC} > 0$ ) e próxima a 1,2 V. Nessas simulações também foi observado que partindo de  $V_{Body\_PC} = 0$  e  $V_{Body\_FC} = 1,2$  V, mantendo o valor de  $V_{dd}$  e aumentando apenas a  $V_{Body\_FC}$  foi possível aumentar a corrente  $I_{DS\_SAT}$  e, em consequência o  $OCP_{1dB}$ , respeitando o limite das tensões de *ruptura*.

O Quadro 1 apresenta os valores refinados, combinando  $V_{dd}$  e  $V_{Body\_FC}$  que são os melhores desempenhos no amplificador *Cascode* com a aplicação de tensões positivas no corpo do transistor  $T_1$  (FC) e com o corpo de  $T_2$  (PC) no potencial zero. Esse melhor desempenho ocorreu pelas características de operação do *Cascode* como amplificador, que forneceu uma alta resistência de saída, ou seja, não diminuiu a transcondutância ( $g_m$ ) de  $T_2$  (PC). Ao se comparar o amplificador Fonte-Comum com o amplificador *Cascode*, verificou-se que o ganho de tensão aumentou, pois quando mudou da estrutura Fonte-Comum para a *Cascode* foi como se tivesse substituído o resistor do dreno (carga resistiva) da Fonte-Comum por uma fonte de corrente (transistor  $T_2$ ). Sendo assim, foi suficiente aplicar polarização de corpo apenas em  $T_1$  (FC) e tal simulação resultou em  $OCP_{load-pull}$  com valor de 0,9 dB que foi superior ao circuito *Cascode* utilizando  $T_2$  (PC) e  $T_1$  (FC) com potencial de corpo zero.



QUADRO 1 – RESUMO DOS MAIORES VALORES DE  $OCP_{LOAD-PULL}$ ,  $PAE$  E  $S_{21}$ 

$V_{dd}$ (V)	$V_{Body\_FC}$ (V)	$OCP_{load-pull}$ (dBm)	$PAE$ (%)	$S_{21}$ (dB)	$I_{DS}$ (A)	$V_{TH\_FC}$ (V)
2,88	source	22,85	24,98	18,01	0,2349	0,389
3,14	1,85	24,27	25,84	18,52	0,303	0,3035
3,14	1,9	24,28	25,83	18,52	0,3033	0,3031
3,14	1,95	24,28	25,83	18,52	0,3036	0,3027
3,15	1,7	24,29	25,84	18,53	0,3025	0,3044
3,15	1,75	24,29	25,83	18,53	0,3028	0,304
3,16	1,5	24,29	25,84	18,55	0,3015	0,3059
3,16	1,55	24,3	25,84	18,55	0,3019	0,3055
3,17	0	23,4	24,97	18,2	0,2414	0,3832
3,17	1,35	24,3	25,83	18,56	0,3008	0,3071
3,17	1,4	24,3	25,83	18,56	0,3012	0,3066
3,18	1,2	24,31	25,82	18,58	0,3	0,3085
3,18	1,25	24,31	25,82	18,58	0,3004	0,308
3,19	1	24,3	25,79	18,59	0,2983	0,3109
3,19	1,1	24,31	25,79	18,59	0,2994	0,3095
3,2	0,65	24	24,88	18,54	0,2913	0,3206

FONTE: O autor (2020).

Também foi observado que conectando os terminais de fonte aos terminais do corpo em ambos os transistores e variando  $V_{dd}$  até o limite de 2 dB antes da tensão de *ruptura*, os valores de  $OCP_{load-pull}$  e  $PAE$ , foram menores que o terminal do corpo de  $T_2$  (PC) e  $T_1$  (FC) no potencial zero. Com relação ao parâmetro  $S_{21}$ , o ganho de tensão de um amplificador *Cascode*, comparado com um amplificador  $T_1$  (FC), teve um fator melhorado igual a  $g_{m1} r_{o1}$  (0,4 dB) e esses valores dependeram de  $I_D$ ,  $k$ ,  $W$  e  $L$  (Equação 4), onde apenas a corrente de dreno pode sofrer uma pequena alteração para um novo valor de saturação, ou seja, está em conformidade com o valor do Quadro 1.

A Eficiência de Potência Adicionada nesta topologia de amplificador de potência não foi melhorada significativamente pela simples aplicação de tensão DC no corpo dos transistores (0,9%), tendo em vista que polarizar diretamente o corpo do transistor MOSFET aumenta a corrente de fuga entre o terminal Fonte-Substrato e dreno-substrato (*leakage current*).

## 6 CONCLUSÕES

A técnica de polarização de corpo foi aplicada para que fosse possível analisar a sua contribuição em um amplificador MOSFET, porém mantendo o seu funcionamento em baixa tensão e sem comprometer a eficiência do circuito.

Nesse estudo foram apresentados os resultados simulados de um PA na topologia *Cascode*, onde o melhor resultado foi proporcionado com o corpo do transistor  $T_1$  (FC) polarizado positivamente. O transistor  $T_1$  atingiu o pico de tensão antes de  $T_2$  (PC), ficando a potência de entrada limitada em 8,56 dBm ( $P_{in,T1} - ICP_{1dB} = 2\text{ dB}$ ) com  $V_{Body,T1} = 1,1\text{ V}$ , tendo em vista o maior valor de  $OCP_{load-pull}$  com menor tensão de corpo. Isso produziu um ganho de potência direto de pequenos sinais ( $S_{21}$ ), respeitando a tensão de *ruptura*, de 18,59 dB@ $V_{Body,T1} = 1,1\text{ V}$ , um PAE de 25,79%@ $V_{Body,T1} = 1,1\text{ V}$ ; e um  $OCP_{load-pull}$  de 24,31 dBm@ $V_{Body,T1} = 1,1\text{ V}$ . Nesse caso, o uso de polarização de corpo aumentou o  $OCP_{load-pull}$  em 0,9 dB, quando comparado com a polarização do circuito de referência que era de potencial zero no corpo dos dois transistores. Foi verificado que ao serem aplicadas tensões negativas no corpo dos transistores  $T_2$  (PC) e/ou  $T_1$  (FC) até o limite de 2 dB para não alcançar a tensão de *ruptura*, houve queda nos valores de  $S_{21}$ ,  $OCP_{load-pull}$  e PAE. Assim, a técnica de polarização de corpo proposta pôde representar uma maior linearidade para os amplificadores de potência.

A elevação nos parâmetros de ganho, eficiência e linearidade, sugerem o uso dessa técnica em um projeto, para servir como elemento de ajuste, compensando as variações de  $V_{TH}$  (induzidas pela temperatura ou pelo efeito de envelhecimento do dispositivo), possibilitando melhorar o desempenho de um PA. Também em amplificadores com estágios reconfiguráveis, possibilita o ajuste do  $V_{TH}$  para cada estágio desse circuito.

Finalmente, para a implementação da polarização de corpo num circuito não é requerida fonte externa, uma vez que uma fonte embarcada pode apresentar pouco impacto no espaço do *die*.

E como recomendações para trabalhos futuros de amplificadores de potência, ficam destacadas as seguintes considerações:

- Implementar uma topologia com polarização de corpo dinâmica, para comparação com os demais resultados encontrados na topologia *Cascode*;
- Implementar a polarização de corpo em uma topologia de PA com múltiplos *Cascodes* empilhados;
- Elaborar um circuito de polarização de que permita ser ativado para a compensação do amplificador de potência;
- Realizar a polarização de corpo em um PA de ganho reconfigurável, utilizando uma topologia de *Cascodes* empilhados;
- Construir o leiaute do circuito com polarização de corpo, executando as simulações LVS (*Layout Versus Schematic*) e DRC (*Design Rule Checker*) efetuando, na fase do leiaute, a extração dos parasitas.
- Testar e analisar os resultados das simulações de pós-leiaute e simulação de *Corners* e *Monte Carlo*.

Nas metodologias de projeto também deverá haver o cuidado para o controle e/ou compensação do aumento da corrente de fuga entre o dreno e/ou fonte com o substrato, resultante do uso da polarização direta do corpo, para não exceder as especificações de consumo de energia do amplificador de potência.



## REFERÊNCIAS

- BIANCO, P.; GHIONE, G.; PIROLA, M. New simple proofs of the two-port stability criterium in terms of the single stability parameter  $\mu_1$  ( $\mu_2$ ). **IEEE Transactions on Microwave Theory and Techniques**, v. 49, n. 6 I, p. 1073–1076, 2001. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/stamp/stamp.jsp?tp=&arnumber=925493>>. Acesso em: 15 jul. 2019.
- CISCO. Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2011–2016&nbsp; [Visual Networking Index (VNI)]. **Cisco**, p. 2016–2021, 2017. Disponível em: <<https://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/mobile-white-paper-c11-520862.pdf%0Ahttps://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/mobile-white-paper-c11-5208>>. Acesso em: 10 mar. 2018.
- EDWARDS, M. L.; SINSKY, J. H. A new criterion for linear 2-port stability using a single geometrically derived parameter. **IEEE Transactions on Microwave Theory and Techniques**, v. 40, n. 12, p. 2303–2311, 1992. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/document/179894>>. Acesso em: 06 nov. 2018.
- GLOBALFOUNDRIES. BiCMOS8HP Design Manual, 2016.
- HUANG, R.; WENG, R.; CHANG, H. A Low-Voltage High-Linearity Low Noise Amplifier for Wireless Body Area Networks. . p.356–358, 2014. IEEE. Disponível em: <<https://ieeexplore.ieee.org/document/7032793>>. Acesso em: 19 mai. 2018 .
- HWANG, H.; JEONG, C. H.; KWON, C.; et al. A 1.8V wide-band LNA design in 0.18-mm triple-well CMOS. 2012 IEEE International Conference on Electron Devices and Solid State Circuit, EDSSC 2012. **Anais...** . p.2–3, 2012. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/6482831>>. Acesso em: 15 mai. 2018.
- JEONG, G.; KANG, S.; JOO, T.; HONG, S. An Integrated Dual-Mode CMOS Power Amplifier With Linearizing Body Network. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 64, n. 9, p. 1037–1041, 2017. Disponível em: <<http://ieeexplore.ieee.org/document/7731163/>>. Acesso em: 05 jun. 2018.
- KUO, J.-L.; WANG, H. A 24 GHz CMOS power amplifier using reversed body bias technique to improve linearity and power added efficiency. 2012 IEEE/MTT-S International Microwave Symposium Digest. **Anais...** . v. 77, p.1–3, 2012. IEEE. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/document/6258363>>. Acesso em: 08 jul. 2018.
- KUSHAIRI, N.; RASMI, A.; SANUSI, R.; RAHIM, A. I. A. Cascaded low noise amplifier at 15 GHz for RF Front end application. **2011 IEEE Regional Symposium on Micro and Nanoelectronics, RSM 2011 - Programme and Abstracts**, p. 144–



147, 2011. IEEE. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/document/6088311>>. Acesso em: 21 mar. 2019.

LEE, J.; KIM, Y. CMOS low noise amplifier design techniques using shunt resistive feedback. **Asia-Pacific Microwave Conference Proceedings, APMC**, v. 3, n. c, p. 20–23, 2005. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/document/1606587>>. Acesso em: 17 jul. 2018.

LEE, T. H. **The Design of CMOS Radio-frequency Integrated Circuits**. Cambridge university press, 2004.

LI, Y.; BAKKALOGLU, B.; CHAKRABARTI, C. A Comprehensive Energy Model and Energy-Quality Evaluation of Wireless Transceiver Front-Ends, p. 1–6, 2005. Disponível em: <<https://ieeexplore-ieee-org.ez22.periodicos.capes.gov.br/document/1579876>>. Acesso em: 02 abr. 2018.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 2005.

RAZAVI, B. **Fundamentals of Microelectronics**. 2008.

RAZAVI, B. **RF Microelectronics Second Edition**. 2nd ed ed. Prentice Hall, 2011.

RUIZ, H. S.; PÉREZ, R. B. **Linear CMOS RF Power Amplifiers**. 2014.

SANTOS, F. G. **Relatório de Estudo Dirigido 2**. Curitiba: UFPR, Engenharia Elétrica, 2018. Relatório Técnico. No Prelo.

SEDRA, ADEL S.; SMITH, K. **Microeletrônica**. 4ª edição ed. São Paulo, 2000.

SOBRINHO, A. J. R. Uso da técnica de load pull para amplificadores de potência em microondas, 2003. Disponível em: <[http://www.pgee.ime.eb.br/pdf/pdf/antonio\\_raymundo.pdf](http://www.pgee.ime.eb.br/pdf/pdf/antonio_raymundo.pdf)>. Acesso em: 14 out. 2019.

VERMA, A.; MISHRA, A.; SINGH, A.; AGRAWAL, A. Effect of Threshold Voltage on Various CMOS Performance Parameter. **International Journal of Engineering Research and Applications**, v. 4, n. 4, p. 21–28, 2014. Disponível em: <<https://www.ingentaconnect.com/content/doi/22489622/2014/00000004/00000004/art00037>>. Acesso em: 16 abr. 2018.

WANG, A. Y.; SODINI, C. G. On the Energy Efficiency of Wireless Transceivers. **2006 IEEE International Conference on Communications**, v. 8, n. c, p. 3783–3788, 2006. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4025062>>. Acesso em: 16 abr. 2018.

## APÊNDICE 1 – SIMULAÇÃO EM *HARMONIC BALANCE* (HB)

Para a execução da simulação em *Harmonic Balance* (HB), na janela do ADE XL foi selecionada a opção "Results", "Direct Plot" e "Main Form". Em "Direct Plot Form", o modo de plotagem "Analysis" em "hb". Na sequência, em "Function", foi selecionada a função "Voltage" e em "Select" a caixa de listagem "Differential Nets". No "sweep" a seleção "time" e na caixa de seleção o "Add to Output" que irá adicionar às expressões, para disponibilizar o gráfico de tensão diferencial na guia "Configuração de saída" na janela principal do ADE XL, onde foram selecionadas as "nets" dos transistores ( $V_{ds}$ ,  $V_{gd}$ ,  $V_{sb}$ ,  $V_{gs}$  e  $V_{db}$ ).

## APÊNDICE 2 – EXPRESSÕES PARA A MÁXIMA E MÍNIMA TENSÕES INSTANTÂNEAS

- 1)  $\mu_a = (1 - (\text{abs}(\text{spm}('sp\ 1\ 1))^2))$
- 2)  $\mu_b = \text{abs}((\text{spm}('sp\ 2\ 2) - (\text{conjugate}(\text{spm}('sp\ 1\ 1)) * \Delta)))$
- 3)  $\mu_c = \text{abs}((\text{spm}('sp\ 2\ 1) * \text{spm}('sp\ 1\ 2)))$
- 4)  $\Delta = ((\text{spm}('sp\ 1\ 1) * \text{spm}('sp\ 2\ 2)) - (\text{spm}('sp\ 1\ 2) * \text{spm}('sp\ 2\ 1)))$
- 5)  $\mu = \mu_a / (\mu_b + \mu_c)$

NOME	EXPRESSÃO
PIN_at_2V7_ymax_VDST2	cross(ymax_VDST2 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VDST2	cross(ymin_VDST2 -2.7 1 "falling" nil nil 0)
PIN_at_2V7_ymax_VGST2	cross(ymax_VGST2 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VGST2	cross(ymin_VGST2 -2.7 1 "falling" nil nil 0)
PIN_at_2V7_ymax_VGDT2	cross(ymax_VGDT2 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VGDT2	cross(ymin_VGDT2 -2.7 1 "falling" nil nil 0)
PIN_at_4V7_ymax_VSBT2	cross(ymax_VSBT2 4.7 1 "rising" nil nil 0)
PIN_at_4V7_ymin_VSBT2	cross(ymin_VSBT2 4.7 1 "falling" nil nil 0)
PIN_at_4V7_ymax_VDBT2	cross(ymax_VDBT2 4.7 1 "rising" nil nil 0)
PIN_at_4V7_ymin_VDBT2	cross(ymin_VDBT2 4.7 1 "falling" nil nil 0)
PIN_at_2V7_ymax_VDST5	cross(ymax_VDST5 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VDST5	cross(ymin_VDST5 -2.7 1 "falling" nil nil 0)
PIN_at_2V7_ymax_VGST5	cross(ymax_VGST5 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VGST5	cross(ymin_VGST5 -2.7 1 "falling" nil nil 0)
PIN_at_2V7_ymax_VGDT5	cross(ymax_VGDT5 2.7 1 "rising" nil nil 0)
PIN_at_2V7_ymin_VGDT5	cross(ymin_VGDT5 -2.7 1 "falling" nil nil 0)
PIN_at_4V7_ymax_VSBT5	cross(ymax_VSBT5 4.7 1 "rising" nil nil 0)
PIN_at_4V7_ymin_VSBT5	cross(ymin_VSBT5 4.7 1 "falling" nil nil 0)
PIN_at_4V7_ymax_VDBT5	cross(ymax_VDBT5 4.7 1 "rising" nil nil 0)
PIN_at_4V7_ymin_VDBT5	cross(ymin_VDBT5 4.7 1 "falling" nil nil 0)
1st Order freq	cadar(setof(x harmonicFreqList(?result \"hb_fd\") equal(car(x) '1)))"
v (/DRAIN /DRAINT5); hb (V)	(vtime('hb "/DRAIN") - vtime('hb "/DRAINT5"))
v (/GATET2 /DRAINT5); hb (V)	(vtime('hb "/GATET2") - vtime('hb "/DRAINT5"))
v (/GATET2 /DRAIN); hb (V)	(vtime('hb "/GATET2") - vtime('hb "/DRAIN"))

NOME	EXPRESSÃO
v (/DRAINT5 /gnd!); hb (V)	(vtime('hb "/DRAINT5") - 0.0)
v (/GATET5 /gnd!); hb (V)	(vtime('hb "/GATET5") - 0.0)
v (/GATET5 /DRAINT5); hb (V)	(vtime('hb "/GATET5") - vtime('hb "/DRAINT5"))
v (/DRAINT5 /Vbias2); hb (V)	(vtime('hb "/DRAINT5") - vtime('hb "/Vbias2"))
v (/gnd! /net16); hb (V)	(0.0 - vtime('hb "/net16"))
v (/DRAINT5 /net16); hb (V)	(vtime('hb "/DRAINT5") - vtime('hb "/net16"))
v (/DRAIN /Vbias2); hb (V)	(vtime('hb "/DRAIN") - vtime('hb "/Vbias2"))
ymin_VDST2	ymin((vtime('hb "/DRAIN") - vtime('hb "/DRAINT5")))
ymin_VDST2	ymin((vtime('hb "/DRAIN") - vtime('hb "/DRAINT5")))
ymin_VGST2	ymin((vtime('hb "/GATET2") - vtime('hb "/DRAINT5")))
ymin_VGST2	ymin((vtime('hb "/GATET2") - vtime('hb "/DRAINT5")))
ymin_VGDT2	ymin((vtime('hb "/GATET2") - vtime('hb "/DRAIN")))
ymin_VGDT2	ymin((vtime('hb "/GATET2") - vtime('hb "/DRAIN")))
ymin_VSBT2	ymin(((vtime('hb "/DRAINT5") - vtime('hb "/Vbias2"))))
ymin_VSBT2	ymin(((vtime('hb "/DRAINT5") - vtime('hb "/Vbias2"))))
ymin_VDBT2	ymin(((vtime('hb "/DRAIN") - vtime('hb "/Vbias2"))))
ymin_VDBT2	ymin(((vtime('hb "/DRAIN") - vtime('hb "/Vbias2"))))
ymin_VDST5	ymin((vtime('hb "/DRAINT5") - 0.0))
ymin_VDST5	ymin((vtime('hb "/DRAINT5") - 0.0))
ymin_VGST5	ymin((vtime('hb "/GATET5") - 0.0))
ymin_VGST5	ymin((vtime('hb "/GATET5") - 0.0))
ymin_VGDT5	ymin((vtime('hb "/GATET5") - vtime('hb "/DRAINT5")))
ymin_VGDT5	ymin((vtime('hb "/GATET5") - vtime('hb "/DRAINT5")))
ymin_VSBT5	ymin(((0.0 - vtime('hb "/net16"))))
ymin_VSBT5	ymin(((0.0 - vtime('hb "/net16"))))
ymin_VDBT5	ymin(((vtime('hb "/DRAINT5") - vtime('hb "/net16"))))
ymin_VDBT5	ymin(((vtime('hb "/DRAINT5") - vtime('hb "/net16"))))



## EXPRESSÕES NO ADEXL PARA A MÁXIMA E MÍNIMA TENSÕES INSTANTÂNEAS

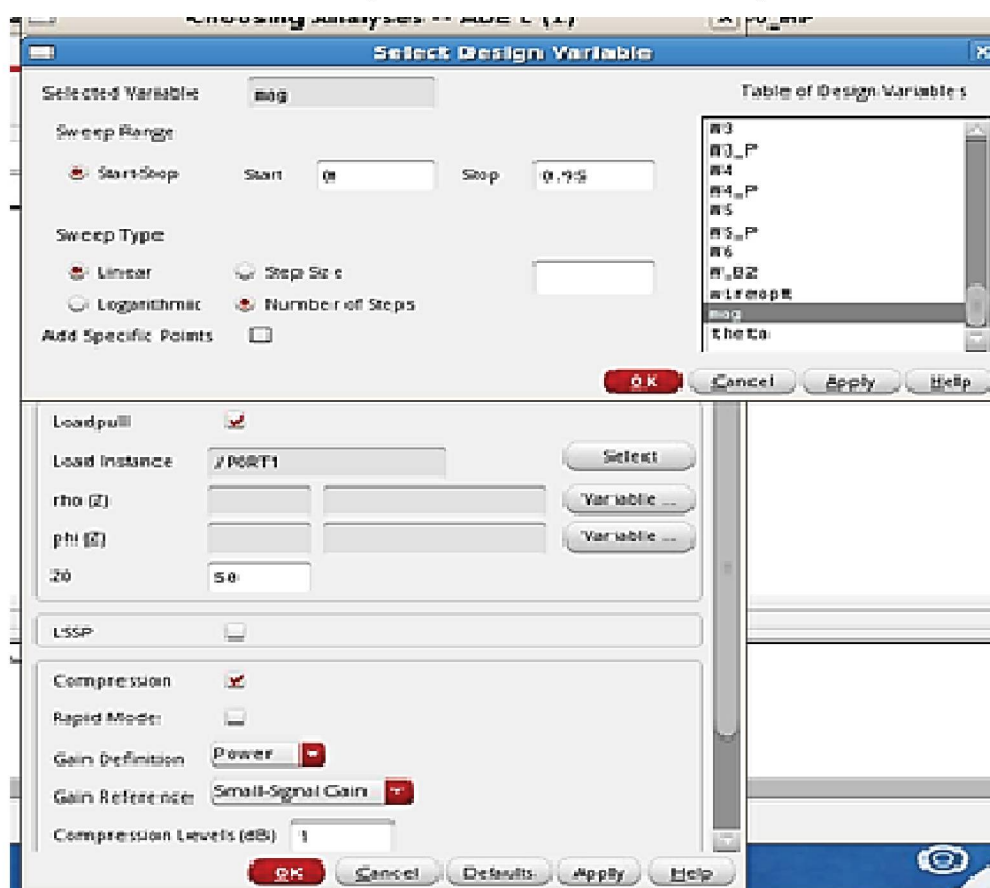
Test	Name	Type	Details
Paulo_2:SIM2_THICK_COREPA:1		signal	/V8/PLUS
Paulo_2:SIM2_THICK_COREPA:1	v (/net8 /I1/DRAINT5); hb (V)	expr	(vtime("hb "/net8") - vtime("hb "/I1/DRAINT5"))
Paulo_2:SIM2_THICK_COREPA:1	v (/En_p_1 /I1/DRAINT5); hb (V)	expr	(vtime("hb "/En_p_1") - vtime("hb "/I1/DRAINT5"))
Paulo_2:SIM2_THICK_COREPA:1	v (/En_p_1 /net8); hb (V)	expr	(vtime("hb "/En_p_1") - vtime("hb "/net8"))
Paulo_2:SIM2_THICK_COREPA:1	v (/I1/DRAINT5 /gnd!); hb (V)	expr	(vtime("hb "/I1/DRAINT5") - 0.0)
Paulo_2:SIM2_THICK_COREPA:1	v (/net1 /gnd!); hb (V)	expr	(vtime("hb "/net1") - 0.0)
Paulo_2:SIM2_THICK_COREPA:1	v (/net1 /I1/DRAINT5); hb (V)	expr	(vtime("hb "/net1") - vtime("hb "/I1/DRAINT5"))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VDST2	expr	ymin((vtime("hb "/net8") - vtime("hb "/I1/DRAINT5")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VDST2	expr	ymin((vtime("hb "/net8") - vtime("hb "/I1/DRAINT5")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGST2	expr	ymin((vtime("hb "/En_p_1") - vtime("hb "/I1/DRAINT5")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGST2	expr	ymin((vtime("hb "/En_p_1") - vtime("hb "/I1/DRAINT5")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGDT2	expr	ymin((vtime("hb "/En_p_1") - vtime("hb "/net8")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGDT2	expr	ymin((vtime("hb "/En_p_1") - vtime("hb "/net8")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VDST5	expr	ymin((vtime("hb "/I1/DRAINT5") - 0.0))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VDST5	expr	ymin((vtime("hb "/I1/DRAINT5") - 0.0))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGST5	expr	ymin((vtime("hb "/net1") - 0.0))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGST5	expr	ymin((vtime("hb "/net1") - 0.0))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGDT5	expr	ymin((vtime("hb "/net1") - vtime("hb "/I1/DRAINT5")))
Paulo_2:SIM2_THICK_COREPA:1	ymin_VGDT5	expr	ymin((vtime("hb "/net1") - vtime("hb "/I1/DRAINT5")))

FONTE: O autor (2019).

### APÊNDICE 3 – SIMULAÇÃO LOAD-PULL

Para a realização da simulação dos Contornos de  $ICP_{1dB}$  (load-pull) no ADE XL do *Cadence Virtuoso*, foi habilitada a análise do tipo “hb” e criada duas variáveis, com os nomes “mag” e “theta” (na janela *Design Variables*). Também foi modificada a configuração da simulação HB, habilitando a opção load-pull. Em seguida foi selecionada a porta de saída em “Load Instance”, “mag” em “rho” (Z) e “theta” em “phi” (Z). A variável “mag” foi definida para variar de 0 a 0,95 e a “theta” de 0 a 359, cada um deles com 10 pontos de marcação na Carta de Smith, de acordo com a Figura A.

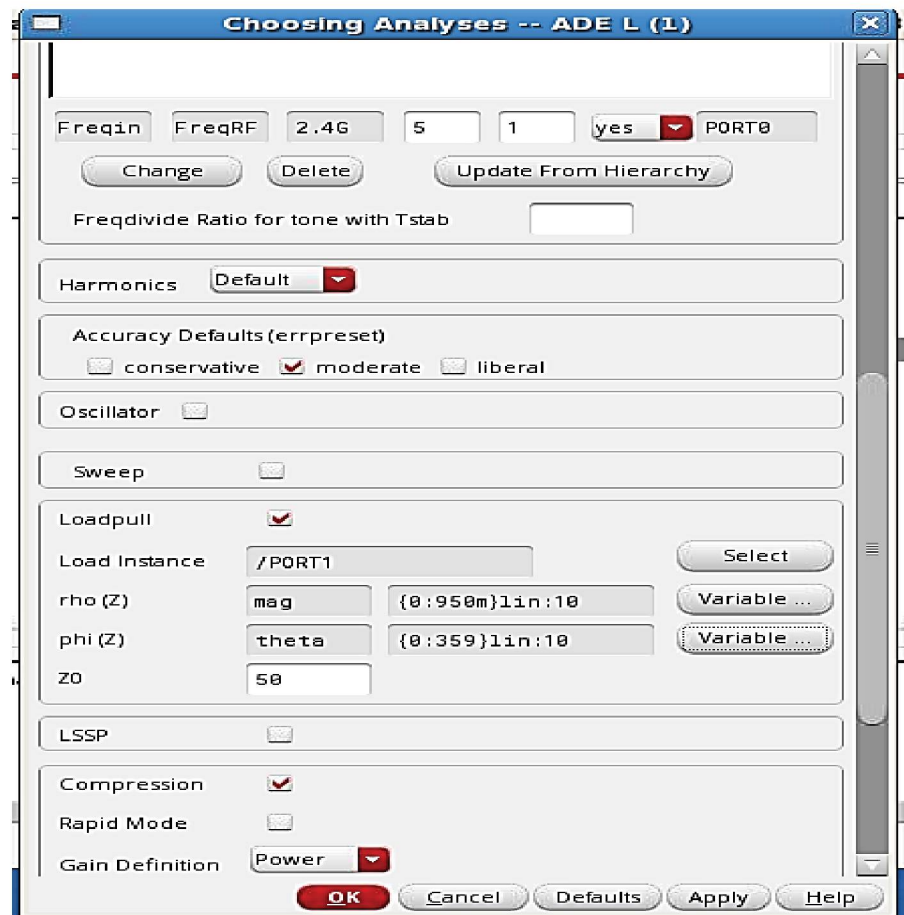
FIGURA A – CONFIGURAÇÃO DO ADE XL PARA SIMULAÇÃO LOAD-PULL



FONTE: O autor (2019).

Posteriormente, pode ser observado na Figura B que se aumentou o número de pontos de “mag” (com valores inferiores a 1) e “theta” (valores em graus inferiores a 360), de modo a serem obtidas simulações mais completas e longas.

FIGURA B – CONFIGURAÇÃO DAS VARIÁVEIS PARA A SIMULAÇÃO LOAD-PULL



FONTE: O autor (2019).

Para obter os contornos referentes ao ponto de compressão, nas configurações da simulação HB, foi habilitado a opção “*Compression*”. Em “*Gain definition*”, manteve-se na caixa de seleção o “*Power*”, em “*Gain reference*”, o “*Small-signal gain*”, em “*Compression levels*”, permaneceu 1 dB e em “*Output/Load Harmonic*”, foi mantido em 1. Em ação contínua, foram selecionas as portas de entrada e saída para a simulação.